

平成 30 年度 修士学位論文

電圧分圧回路と
LLC 共振形倍電圧整流回路を用いた
部分影補償器の開発

理工学研究科 電気電子工学専攻

17NM629Y 中根 亨

指導教員 鵜野 将年 准教授

要旨

複数枚の太陽電池 (PV: Photovoltaic) パネルの直列接続により構成されるストリング上に部分影が発生すると、各 PV パネルの電気特性が不均等となる。この電気特性のばらつきはストリングの抽出可能電力の低下や複数の最大電力点 (MPP: Maximum Power Point) の発生による MPP 追尾制御 (MPPT: MPP Tracking) の誤動作を招く。部分影による悪影響を防止するため、全パネルの電気特性を擬似的に均等化するよう動作する種々の部分影補償器 (DPP Converter: Differential Power Processing Converter) が提案されている。しかし、多直列パネルシステムに従来補償器を適用する場合はコンデンサへの印加電圧がパネルの直列数に依存するため、小型な積層セラミックコンデンサ (MLCC: Multi-Layer Ceramic Capacitor) の代わりに大型のフィルムコンデンサを採用しなければならず、回路が大型化する。

本稿では補償器内のコンデンサの低耐圧化を実現可能な、インダクタを併用したスイッチトキャパシタコンバータ (SCC: Switched Capacitor Converter) による分圧回路 (VD: Voltage Divider) を LLC 共振形倍電圧整流回路に組み合わせた補償器を提案する。VD の動作により従来補償器と比較してコンデンサへの印加電圧を低減可能であるため、小型な MLCC の採用が可能となる。解析の結果、コンデンサの低耐圧化により従来補償器と比較して使用素子の合計サイズが小さくなることを示した。また、4 直列パネルに対する補償実験の結果、コンデンサへの印加電圧を低減しつつ部分影の悪影響を防止可能であることを確認した。

Abstract

Partial shading on photovoltaic (PV) strings consisting of multiple panels connected in series is known to trigger severe issues, such as reduced energy yield and occurrence of multiple power point maxima. Various kinds of differential power processing (DPP) converters have been proposed for preventing the partial shading issues. Voltage stresses of capacitors, however, are prone to soar with the number of panels connected in series, eventually resulting in increased circuit volume by using large film capacitors.

This paper proposes the DPP converter using an LLC resonant voltage multiplier with a capacitive voltage divider (VD) to reduce voltage stresses of capacitors. The reduced voltage stresses of capacitors allow the employment of multi-layer ceramic capacitors (MLCCs), achieving reduced circuit volume. The result of the analysis proved the proposed equalizer could miniaturize the size of the circuit compared with the conventional LLC DPP converter. The experimental results of the equalization test for four panels connected in series demonstrated the proposed DPP converter successfully precluded the negative impacts of partial shading with mitigating the voltage stress issues.

目次

1.	研究背景	4
1.1.	太陽電池システム上に偶発する部分影による悪影響と部分影補償器	4
1.2.	補償器を高電圧ストリングに応用する際の課題	4
2.	分圧回路を備えた LLC 共振形倍電圧整流方式の部分影補償器	7
2.1.	導出元となる基礎回路とその動作概要	7
2.2.	提案補償器の回路構成	8
2.3.	VD のコンデンサとスイッチの理論電圧値	9
2.4.	長所	10
3.	動作解析	11
3.1.	動作原理	11
3.2.	動作条件	13
3.3.	VM (倍電圧整流回路) による補償動作の概要	13
3.4.	LLC 共振形インバータの設計指針	13
4.	従来 LLC 補償器との受動素子のサイズ比較	17
5.	実機検証	18
5.1.	試作回路	18
5.2.	基礎特性の測定	19
5.3.	電力補償実験	21
5.4.	フィールドテスト	22
6.	まとめ	25
7.	補足	26
7.1.	提案回路の回路基板	26
7.2.	ゲートドライブについて	27
7.3.	スイッチ駆動用矩形波電圧の生成について	28
	参考文献	30
	謝辞	32

1. 研究背景

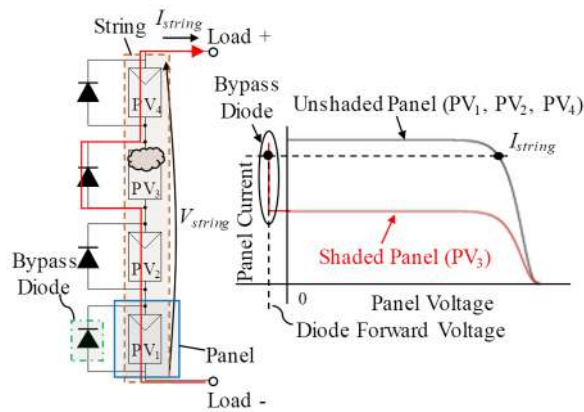
1.1. 太陽電池システム上に偶発する部分影による悪影響と部分影補償器

一般的な太陽電池 (PV: Photovoltaic) パネルは2~3のサブストリングの直列接続で構成され、各々のサブストリングは複数セルの直列接続により構成される。太陽電池システムでは所望の電圧を得るために複数枚の PV パネルを直列に接続することでストリングを構成して使用される。ストリングにおいて木陰や隣接建築物等により一部のパネルに影がかかる「部分影」が発生すると、影によって照射強度の低下したパネルの電流ならびに電圧が低下する。そのため、出力が低下したパネル (低出力パネル) と正常なパネル (日照パネル) の電気特性は不均等となる。ストリング電流 I_{string} は全てのパネル (バイパスダイオード含む) に共通して流れる。その結果として、パネルの電気特性が不均等となる状況下において低出力パネルの供給能力を上回る電流がストリングに流れる場合、Fig. 1(a)に示すようにパネルに並列接続されたバイパスダイオードが導通することで低出力パネルは発電できなくなる。これにより、Fig. 1(b)のようにストリング全体からの抽出可能電力の低下ならびに複数の最大電力点 (MPP: Maximum Power Point) が発生することによる MPP 追尾制御 (MPPT: MPP Tracking) の誤動作といった問題が生じる。過去の研究例では、住宅屋根に設置されたパネルにおいて 10%面積相当の部分影により年間発電エネルギー量は 20~30%低下することがシミュレーション解析より示されている[1]。また、電気特性の不均等は部分影のみならず、パネル上に偶発する鳥糞や汚れ、経年劣化の不均等性、パネルの不具合による出力電流の低下などによっても引き起こされる。

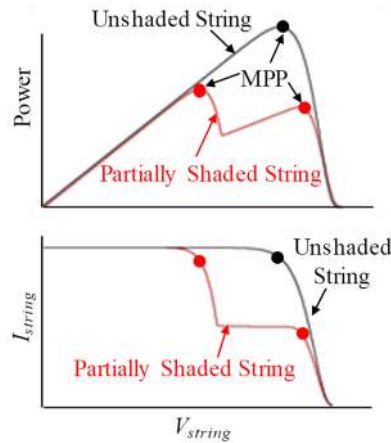
これらの問題を防止するために、種々の部分影補償器 (DPP Converter: Differential Power Processing Converter) [2]~[16]が提案されている。部分影補償器は、ストリングを構成する複数のパネル間で電力授受を行うことで全パネルの電気特性を擬似的に均等化し、部分影の悪影響を防止する電力変換器である。部分影補償器の主な方式として、隣接パネル間で電力授受を行う隣接パネル間補償方式と、ストリングとパネルの間で電力伝送を行うストリング-パネル間補償方式が挙げられる。隣接パネル間補償では PWM コンバータ[2]~[7]やスイッチトキャパシタコンバータ (SCC: Switched Capacitor Converter) [8]~[10]等の非絶縁コンバータが、ストリング-パネル間補償では単入力-多出力コンバータ[11]~[16]が用いられる。いずれも日照パネルの一部の電力を低出力パネルへと伝送するよう動作する。

1.2. 補償器を高電圧ストリングに応用する際の課題

PV システム用のストリングは一般的に 10~20 枚程度のパネルの直列接続で構成され、



(a) Current path and panel characteristics.



(b) String characteristics.

Fig. 1 PV string characteristics under partial shading.

ストリングの MPP 電圧や開放電圧は 300~1000 V (1 パネル当たり 30~50 V) もの高電圧になる。隣接パネル間補償器を用いたシステムでは、パネルの直列数に比例した複数台の補償器が必要となるのに加えて、複数段の電力変換が不可避である。よって、多直列パネルより構成されるシステムでは補償器の定格電力の総和ならびに損失が累積的に増加する傾向にある。一方、ストリング-パネル間補償器ではストリング全体から低出力パネルへ直接の電力伝送が可能であり、上記の隣接パネル間補償器における懸念を回避できる。

従来のストリング-パネル間補償器[11]~[16]は単位パネル内の電気特性、すなわちサブストリングの電気特性の均等化を目的に設計されたものであるため、回路素子に求められる耐圧はパネル 1 枚あたりの電圧程度 (30~50 V) の低いものであった。しかし、多直列パネルシステムに適用する場合、主回路中の素子にストリング電圧 V_{string} が印加されるため素子の高耐圧化が課題となる。素子の低耐圧化が可能な回路方式として 3 レベル動作の中性点ダイオードクランプ式コンバータ[17]や LLC コンバータ[18]等が提案されており、スイッチとコンデンサの耐圧を $V_{string}/2$ に低減できる。しかし、多直列パネルシ

テムにおいては依然として高耐圧素子が必要であり，特に分圧コンデンサの電圧ストレス増加に伴い小型な積層セラミックコンデンサ（MLCC: Multi-Layer Ceramic Capacitor）の代わりに大型のフィルムコンデンサを採用しなければならず，回路が大型化する。

本研究では，インダクタの併用により SCC における分圧コンデンサの低耐圧化が可能な多直列パネル用ストリング-パネル間部分影補償器を提案する。提案補償器は SCC を基礎とした分圧回路と LLC 共振形倍電圧整流回路の組み合わせにより構成される。SCC にインダクタを併用することで少数個のスイッチでストリング電圧の分圧を行い，分圧コンデンサの低耐圧化を実現する。インダクタが追加で必要となるものの，従来の 3 レベルコンバータ[17], [18]と比較して分圧コンデンサの耐圧を半減することができるため，小型な MLCC の採用が可能となる。一方，LLC 共振形倍電圧整流回路は低出力パネルに対して自動的に電力伝送を行うことで無制御で部分影補償を行うことができる。本研究では 4 直列パネルに対して試作回路を用いた各種の実験を実施したので報告する。

2. 分圧回路を備えた LLC 共振形倍電圧整流方式 の部分影補償器

2.1. 導出元となる基礎回路とその動作概要

提案補償器は，Fig. 2-1(a)~(c)にそれぞれ示す SCC，双方向チョップ，LLC 共振形倍電圧整流回路[12]~[14]，の3つの基礎回路の組み合わせにより導出される。

Fig. 2-1(a)に示す SCC ではスイッチング動作により全てのコンデンサが擬似的に並列接続されるため，全コンデンサの電圧は自動的に均等化される。また，Fig. 2-1(b)に示す双方向チョップのスイッチを 50%のデューティで駆動することで，入力コンデンサ C_{in} と出力コンデンサ C_{out} の電圧は自動的に均等となる。Fig. 2-1(c)の LLC 共振形倍電圧整流回路は LLC 共振形インバータと倍電圧整流回路（VM: Voltage Multiplier）の組み合わせによって構成される。LLC 共振形インバータが生成する交流電圧/電流により VM は駆動され，平滑コンデン

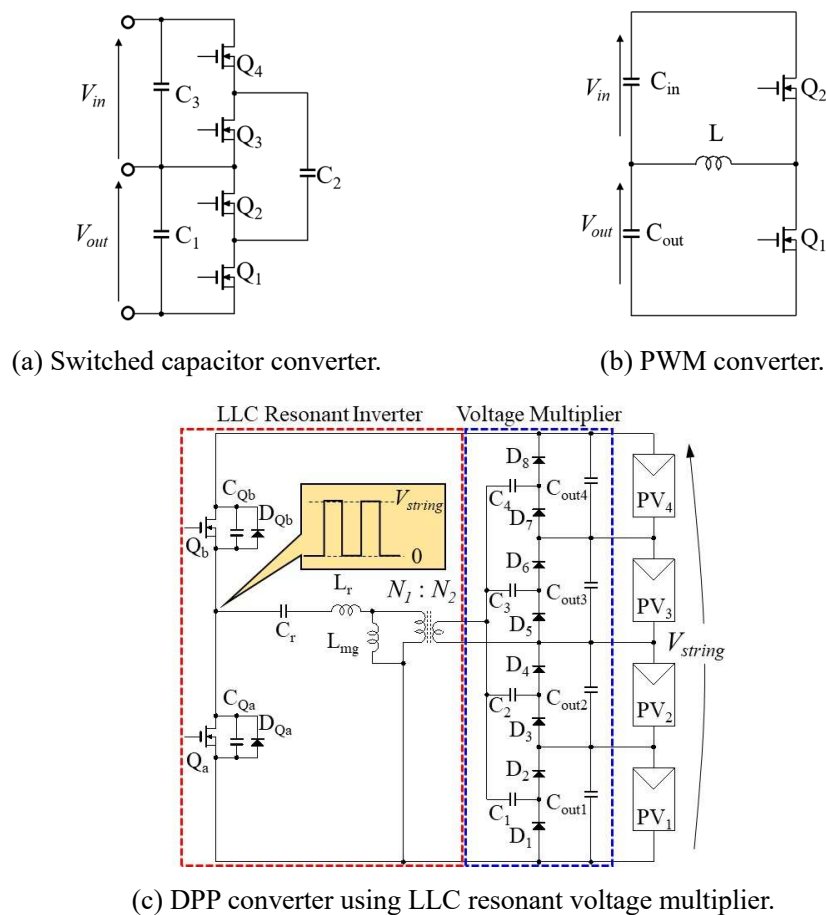
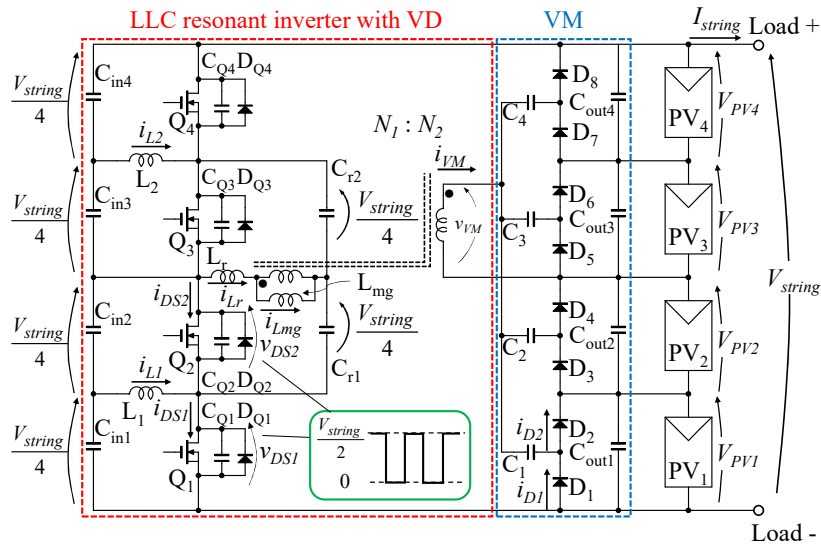
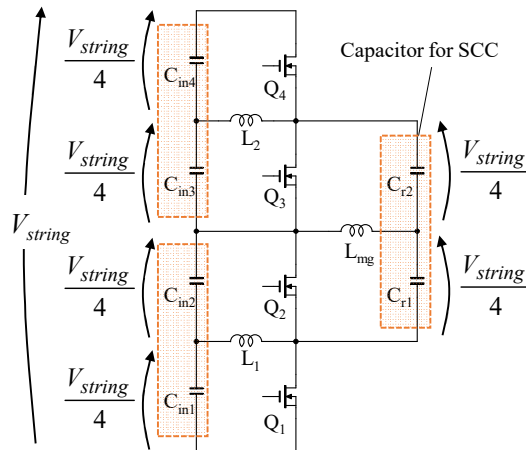


Fig. 2-1. Basic circuits for proposed DPP converter.



(a) Proposed DPP converter for four panels connected in series.



(b) Voltage divider (VD).

Fig. 2-2. Proposed DPP converter and its voltage divider.

サ $C_{out1} \sim C_{out4}$ の電圧が均等となるよう $PV_1 \sim PV_4$ に対して自動的に電力分配が行われる。

2.2. 提案補償器の回路構成

Fig. 2-2(a)に示す提案補償器は、電圧分圧回路 (VD: Voltage Divider), LLC 共振形インバータ, VM により構成される。インダクタを併用した SCC で構成される VD により V_{string} は $1/4$ に分圧され、主回路の分圧コンデンサの低耐圧化を実現することができる。 $C_{Q1} \sim C_{Q4}$ と $D_{Q1} \sim D_{Q4}$ はそれぞれスイッチの寄生容量及びボディダイオードであり、LLC 共振形インバータにおけるソフトスイッチングの達成のために有効利用される。

VD の構成を Fig. 2-2(b)に示す。破線で囲まれた 3 つの 2 直列の分圧コンデンサと 4 つのスイッチ $Q_1 \sim Q_4$ により SCC が構成される。 $C_{r1} \sim C_{r2}$ は共振コンデンサとしても機能する。2

直列の分圧コンデンサの midpoint にインダクタを図示のように接続することで、等価的に双方向チョッパが構成される。スイッチを 50% のデューティで駆動することで SCC と双方向チョッパによる電圧均等化により V_{string} を 1/4 に分圧する。

LLC 共振形インバータはストリングで発電した電力の一部を交流電圧/電流に変換し、VM の入力へ伝送する。VM は低出力パネルへ電力補償を行う役割を担う。トランスの漏洩インダクタンス L_r と励磁インダクタンス L_{mg} と C_{r1} – C_{r2} が共振タンクを形成する。LLC 共振形インバータが生成した交流電圧/電流によって VM は駆動され、全パネルの電圧をおおよそ均等化する。このとき、低出力パネルに自動的に補償電流（日照パネルと低出力パネルの電流差に相当）が供給されるよう動作する。これにより、ストリング上では低出力パネルも日照パネルと同等の電流を流せるようになるため、低出力パネルの発電が可能になる。LLC 共振形インバータと VM を用いた部分影補償器の動作については、過去の文献[12]~[14]にて詳細解析が行われている。

2.3. VD のコンデンサとスイッチの理論電圧値

VD の分圧動作について Fig. 2-2(b) の回路構成を例に説明する。VD に V_{string} が印加された場合、SCC による電圧均等化により各 2 直列の分圧コンデンサ (C_{in1} – C_{in2} , C_{in3} – C_{in4} , C_{r1} – C_{r2}) の電圧和はそれぞれ $V_{string}/2$ となる。したがって、各スイッチに印加される電圧も $V_{string}/2$ となる。一方、SCC を構成する各 2 直列のコンデンサの電圧はインダクタの作用により均等化されるため、各分圧コンデンサの電圧は Fig. 2-3 の左図に示すように $V_{string}/4$ となり、従来の 3 レベルコンバータ[17], [18]における分圧コンデンサ（電圧ストレスは $V_{string}/2$ ）と比較して耐圧を半減することができる。

本研究で提案する VD では回路の段数、すなわち C_{in} とスイッチの数 n (n は C_{in} およびスイッチの直列数に相当する偶数) の増加とともに素子の印加電圧を低減可能である。Fig.

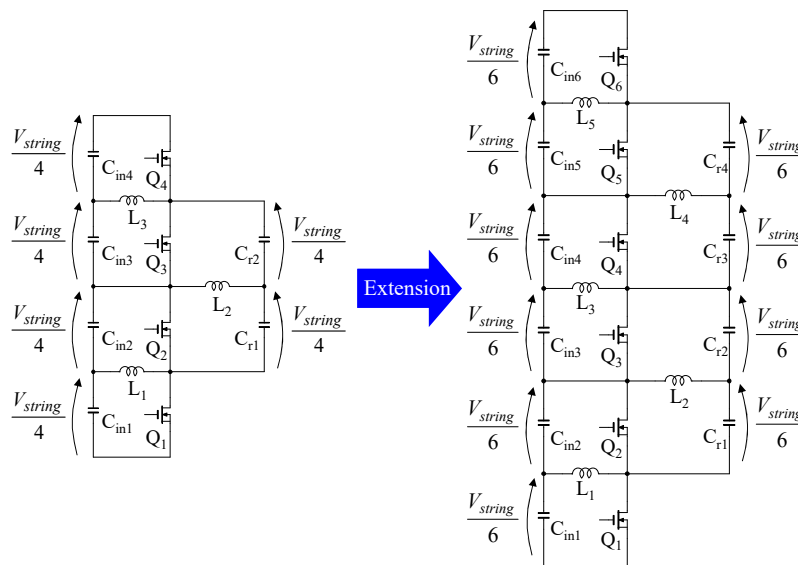


Fig. 2-3. Extension of voltage divider.

2-2(b)は $n=4$ における構成であるが、VD の段数は任意に拡張することができる。Fig. 2-3 に $n=4$ から $n=6$ へと VD を拡張した際の様子を示す。 C_{in} と C_r の電圧は $V_{string}/6$ となり、スイッチの電圧は $V_{string}/3$ に低減される。 $n=8$ に拡張すると C_{in} と C_r の電圧は $V_{string}/8$ 、スイッチの電圧は $V_{string}/4$ 、といった具合に更に耐圧を低減することができる。

2.4. 長所

提案補償器ではスイッチとコンデンサへの印加電圧の低減により、素子選択の自由度を広げることができる。素子の低耐圧化により、コンデンサについては小型な MLCC を、スイッチについては低耐圧で高速の MOSFET を採用可能である。MLCC に加えて低耐圧 MOSFET の採用による高周波化により、回路サイズの小型化を実現することができる。VD では PWM コンバータと同数のインダクタが必要となるが、3.1 節で述べるように各インダクタの平均電流は 0 であるため小型の素子を用いることができる。

3. 動作解析

3.1. 動作原理

4 直列のパネル PV₁~PV₄ のうち PV₁ の出力電流のみが低下した状況を例に動作原理の説明を行う。主要動作波形ならびに各動作モードの電流経路を Fig. 3-1 と Fig. 3-2 にそれぞれ示す。各スイッチは 50% の固定デューティで駆動する。Q₁ と Q₃, Q₂ と Q₄ の動作および電圧/電流波形は同一であるため、ここでは簡略化のため Q₁ と Q₂ の動作のみについて説明する。また、2 つの共振コンデンサ C_{r1} と C_{r2} の容量は等しいと仮定する。

Mode 1 [Fig. 3-2(a)]: 奇数番号のスイッチが導通し、VD 内の SCC では C_{in1}-C_{in2} と C_{r1}-C_{r2} が並列に接続され、2 組のコンデンサの合計電圧は均等になる。VD を構成する各 PWM コンバータでは、それぞれ C_{in1}, C_{in3}, C_{r2} の電圧により各インダクタ電流 i_{L1} , i_{L2} , i_{Lmg} は増加する。一方、L_r-C_{r1} ならびに L_r-C_{r2} の共振により、L_r の電流 i_{Lr} は正弦波状に変化する。VM には $i_{VM} = N(i_{Lr} - i_{Lmg})$ の電流が伝送される ($N = N_1/N_2$)。VM ではダイオード D₂ が導通することで C₁ は充電され、 i_{VM} と i_{D2} は正弦波状の電流となる。 i_{Lmg} と i_{Lr} が一致し、 i_{VM} が半周期分流れ切ると動作は Mode 2 へと移行する。

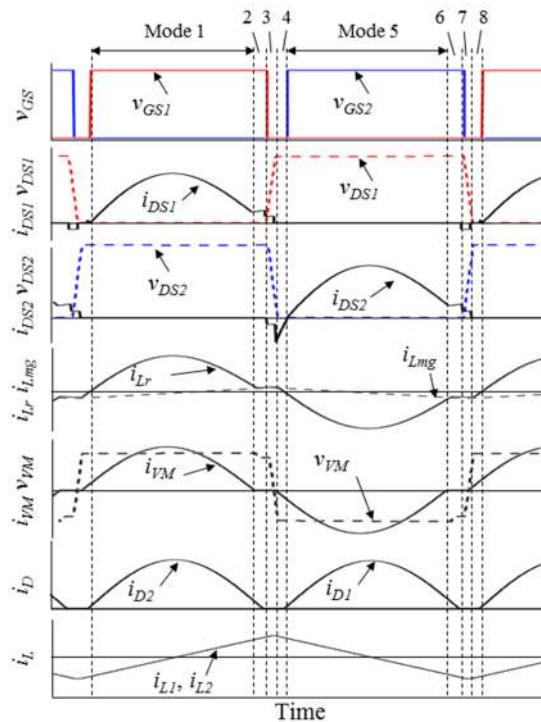


Fig. 3-1. Key operation waveforms when PV₁ is shaded.

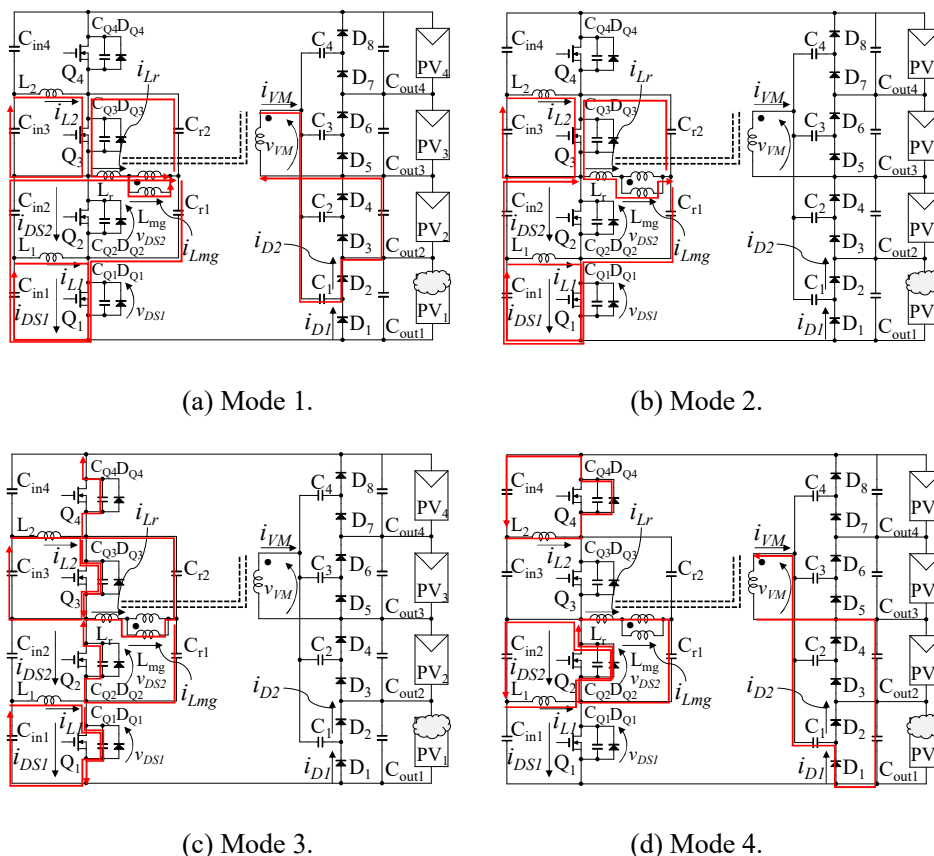


Fig. 3-2. Current flow directions when PV₁ is shaded.

Mode 2 [Fig. 3-2(b)]: $i_{Lmg} = i_{Lr}$ となり、電流値は増加する。Mode 2 と 3 ではトランス 2 次側に電流が伝送されないため、 i_{VM} ならびに D_2 の電流 i_{D2} は 0 となる。PWM コンバータ部では Mode 1 と同様に i_{L1} , i_{L2} , i_{Lmg} は増加し続ける。

Mode 3 [Fig. 3-2(c)]: Q_1 はターンオフされ、 i_{Lmg} によってスイッチの出力容量 C_{Q1} と C_{Q2} の充放電が行われる。このとき、 Q_1 はゼロ電圧スイッチング (ZVS: Zero-Voltage Switching) でターンオフされる。

Mode 4 [Fig. 3-2(d)]: C_{Q1} と C_{Q2} の充放電が完了し、 v_{DS1} と v_{DS2} がそれぞれ $V_{string}/2$ と 0 になると Q_2 のボディダイオード D_{Q2} が導通し始める。 i_{Lmg} は直線的に減少し始め、 i_{Lr} には L_r と C_{r1} の共振によって Mode 1 と逆方向の正弦波電流が流れ始める。VM 内では D_1 が導通し始め、 C_1 は放電する。各 PWM コンバータでは C_{in2} , C_{in4} , C_{r1} の電圧により i_{L1} , i_{L2} , i_{Lmg} は線形に減少し始める。

Mode 5~8 は Mode 1~4 と対称動作であるため、以降の動作についての説明は省略する。 $C_{in1} \sim C_{in4}$ の漏れ電流が十分に小さければ i_{L1} と i_{L2} の平均電流は 0 となる。よって、 L_1 と L_2 には小型のインダクタを用いることができる。VD 内では低出力パネルである PV₁ に対応するコンデンサとダイオードに電流が流れる一方、他のパネルに対応する素子には電流は流れない。定常状態において C_1 の平均電流は 0 であるため、PV₁ に供給される補償電流は D_1 および D_2 の平均電流と等しくなる。

3.2. 動作条件

LLC 共振形インバータが前節の動作原理の通りに動作するためには、以下の条件を満たす必要がある。

$$\frac{1}{2\pi\sqrt{L_r C_r}} = f_r \geq f_s \geq f_0 = \frac{1}{2\pi\sqrt{(L_r + L_{mg})C_r}} \dots\dots\dots (3.1)$$

ここで、 f_s , f_r , f_0 はそれぞれスイッチング周波数、第1共振周波数、第2共振周波数、 C_r は C_{r1} と C_{r2} の合成容量であり、 $C_r = C_{r1} + C_{r2}$ である。

3.3. VM (倍電圧整流回路) による補償動作の概要

VM (Fig. 3-3) は、入力交流電圧の peak-to-peak 値 (V_{pp}) を直流電圧に変換し出力する単入力-多出力回路である。例えば、Fig. 3-3 の左図のように $V_{pp} = V_{PV}$ の矩形波電圧 v_{VM} が入力として印加された場合、各出力である $C_{out1} \sim C_{out4}$ にはそれぞれ V_{PV} の電圧が発生する。

$C_1 \sim C_4$ は直流成分を遮断し交流成分のみを通過させるカップリングコンデンサとして振る舞う。従って、直流成分を分離することで各パネルは Fig. 3-3 の右図のように等価的に並列接続されていると見なせるため、全ての C_{out} の電圧は自動的に均等化される。

3.4. LLC 共振形インバータの設計指針

出力電圧の PFM 制御を行う従来の LLC 共振形コンバータでは、適当なゲイン-周波数特性を得るために L_{mg}/L_r の比はおよそ 5 程度になるよう設計する必要がある[19]。それに対して、提案補償器における LLC 共振形コンバータは固定周波数ならびに固定デューティで動作させる。また、一般的な太陽光発電システムは部分影が極力発生しないよう設置

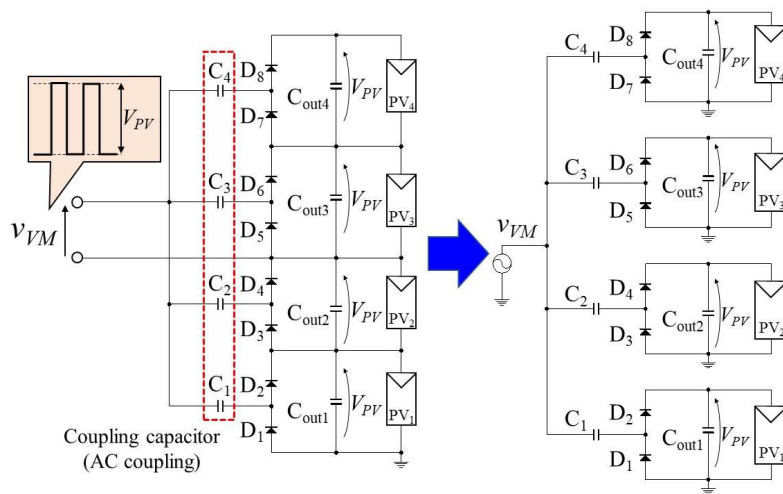


Fig. 3-3. VM and its equivalent circuit.

されるため、無負荷時（すなわちストリングに影が発生していない条件下）において損失が最小となるよう設計することが望ましい。LLC 共振形コンバータでは無負荷時においても i_{Lmg} が流れることで損失が発生する。提案補償器では、ZVS 動作を達成できる（すなわち、Mode 3 と 7 において i_{Lmg} によりスイッチの出力容量の充放電を完了できる）程度に L_{mg}/L_r の比を小さくすることで i_{Lmg} を抑制し、無負荷時の損失を低減する。

トランスの 1 次巻線には C_{r1} と C_{r2} の電圧が交互に印加されるため（Mode 1, 2, 8 では $V_{string}/4$, Mode 4~6 では $-V_{string}/4$ ）、 V_{pp} の値は $V_{string}/2$ である。また、3.3 節で述べたように、VM の入力電圧、すなわちトランス 2 次巻線の電圧 v_{VM} の V_{pp} の値が $C_{out1} \sim C_{out4}$ に出力される。よって、

$$\frac{N_2}{N_1} \frac{V_{string}}{2} = V_{PV} \dots\dots\dots (3.2)$$

ここで、 V_{PV} は補償電流供給時のパネル電圧である。全てのパネル電圧が V_{PV} であるとする、4 パネル用の回路構成では $V_{string} = 4V_{PV}$ であるため、(3.2)式を変形して次式を得る。

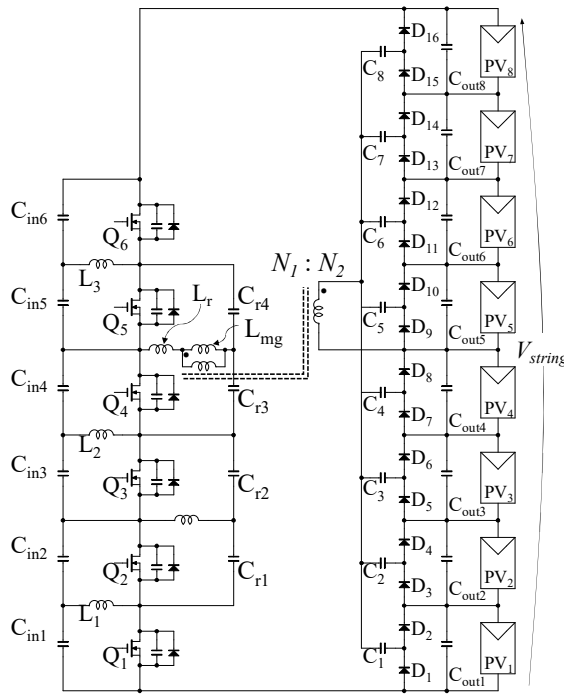
$$\frac{N_2}{N_1} = \frac{1}{2} \dots\dots\dots (3.3)$$

この式は、VM 内のダイオードの順方向電圧やトランスの巻線抵抗及び L_r における電圧降下分を無視した理想条件下のものであり、実際にはこれらの電圧降下分を考慮して $2N_2 < N_1$ となるよう巻線比の設計を行う。

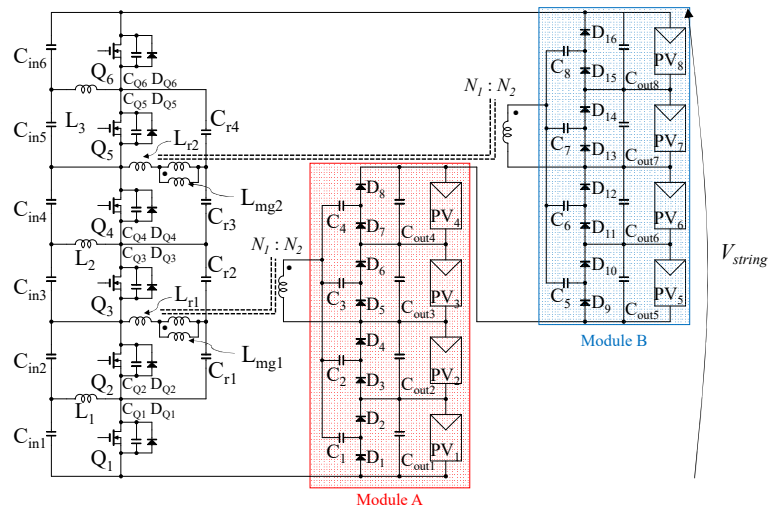
本研究では回路サイズの小型化のために、1 枚当たりの開放電圧が 45 V のパネルから構成されるストリング（最低 4 直列）に対し全てのコンデンサを耐圧 100 V 以下の MLCC のみで設計することを考える。以下の段落にて、VD を擁する LLC 共振形インバータと VM におけるそれぞれの詳細な設計指針について説明する。

インバータに関しては、2.3 節でも述べたように VD の拡張によってパネル直列数の増加に伴うコンデンサへの印加電圧の増加に対処する。例えば、12 直列パネルのストリングにおいて開放電圧 ($V_{string} = 540$ V) が印加される場合、VD が $n = 4$ の構成ではインバータ内のコンデンサの電圧は 135 V となる。これに対し VD を $n = 8$ に拡張するとコンデンサの電圧は 67.5 V となり、100 V 耐圧の MLCC を採用可能となる。

VM においては、ストリング内のパネルの直列数が 4 枚を超える場合、Fig. 3-4(b)に示すようにストリングの開放電圧印加時に倍電圧整流回路上のカップリングコンデンサ C_i ($i = 1, 2, \dots$) への印加電圧が 100 V 未満となるよう 4 段の VM を 1 つのモジュールとして、複数の VM モジュールによって補償器を構成する。その際、各 VM モジュールに個別に交流電圧/電流を供給するために各モジュール対トランスを 1 つずつ使用する (Fig. 3-4(b) 中では合計 2 つ使用)。Fig. 2-2(a)の $C_1 \sim C_4$ への印加電圧は、トランスの巻線比が式(3.3)より $N_1 : N_2 = 2 : 1$ かつ補償により各パネルの電圧が完全に V_{PV} に均等化されていると仮定するとそれぞれ $3V_{PV}/2$, $V_{PV}/2$, $V_{PV}/2$, $3V_{PV}/2$ となることが過去の研究により明らかになって



(a) Proposed DPP converter for eight panels connected in series.



(b) Proposed DPP converter using two VM modules for eight panels connected in series.

Fig. 3-4. Extension of the proposed equalizer using modularized VM.

いる[12]。 C_i への印加電圧がこのようになる理由を Fig. 3-5 を用いて説明する。例えば C_1 への印加電圧を求めるために、Mode 1, 8 での VM の電流経路 (Fig. 3-5(a)) におけるキルヒホッフの電圧則による閉回路を考えると $V_{PV}/2 - V_{C1} + V_{PV} = 0$ と立式でき、これを解くと $V_{C1} = 3V_{PV}/2$ となる。Mode 4, 5 の場合 (Fig. 3-5(a)) も同様に $V_{PV}/2 - V_{PV} - V_{PV} + V_{C1} = 0$ と立式でき $V_{C1} = 3V_{PV}/2$ となる。Fig. 3-4(a) の構成のようにストリングが 8 直列パネルである場合、ストリングの開放電圧 ($V_{string} = 360 \text{ V}$) が印加されると C_1 の電圧は $7V_{PV}/2 = 157.5 \text{ V}$ となり、100 V 耐圧の MLCC を採用不可となる。これに対し、Fig. 3-4(b) のように 4 段の VM モジュールとトランス (8 直列パネルかつ $n = 6$ なので巻線比は式(3.2)より $N_1 : N_2 = 2.66 :$

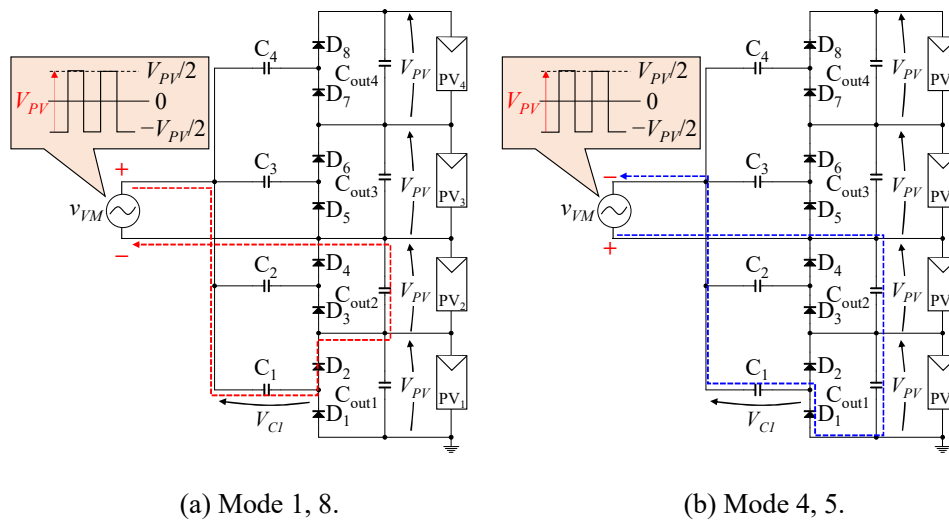


Fig. 3-5. Current flow directions on VM.

1) を 2 つ用意した場合, 8 直列パネルのストリング開放時にも C_1 の電圧は 67.5 V となり, 全コンデンサへの印加電圧を 100 V 以下に抑えることが出来る。

4. 従来 LLC 補償器との受動素子のサイズ比較

4 直列パネルで構成されるストリング（開放電圧 180 V）を想定し，Fig. 2-1(c)に示す従来補償器[12]と提案補償器（ $n=4$ ）における受動素子サイズの定量比較を行った。VM の回路構成は同一であるため，トランスを除いた 1 次側の受動素子に限定して比較を行った。両補償器において入力平滑コンデンサの容量が同一となるよう，従来補償器における $C_{in} = 10 \mu\text{F}$ に対して，提案補償器では $C_{in1} \sim C_{in4} = 40 \mu\text{F}$ とした。

各補償器における使用素子とそのサイズを Table 4-1 に示す。従来補償器では C_{in} の電圧が 180 V と高く，フィルムコンデンサの採用により素子が大型化する。一方，提案補償器では分圧により $C_{in1} \sim C_{in4}$ の電圧は 45 V となり，低耐圧で小型な MLCC を使用することができる。また，両補償器とも C_r にフィルムコンデンサを用いるが，提案補償器では C_r が 2 つ必要であるものの低耐圧化による小型化を達成できる。提案補償器は 2 つのインダクタを要するが，これらの平均電流は 0 であるため小型な素子を選定可能である。この結果，提案補償器の 1 次側回路における受動素子の合計体積は従来補償器と比べておよそ 1/8.3 となり，提案補償器により回路の小型化を実現できることが示唆された。

Table 4-1. Comparison of component sizes.

Component	Conventional ($V_{C_{in}}, V_{C_r} : 180 \text{ V}$)	Proposed ($V_{C_{in1}} \sim V_{C_{in4}}, V_{C_{r1}} \sim V_{C_{r2}} : 45 \text{ V}$)
C_{in}	QXK2E106KTP, Film Capacitor, 250 V, 10 μF , 11800 mm^3	C5750X7S2A106M230KB, MLCC, 100 V, 10 μF , 65.6 ($\times 16$) mm^3
L	—	744281471, Inductor, 470 μH , 256 ($\times 2$) mm^3
C_r	ECQE2A104KF, Film Capacitor, 250 V, 100 nF, 1554 ($\times 2$) mm^3	F161PU104K100V, Film Capacitor, 100 V, 100 nF, 114 ($\times 2$) mm^3
Total Volume [mm^3]	14908	1790

5. 実機検証

5.1. 試作回路

4直列のパネル（それぞれ短絡電流 5.0 A，開放電圧 45 V 程度を想定）より構成されるストリングに対し，パネル 1 枚あたりに対する定格補償電力が 70 W の回路を試作した。実機の写真ならびに試作回路に用いた素子を Fig. 5-1 と Table 5-1 にそれぞれ示す。

C_r を除き全てのコンデンサに MLCC を用いた。 C_r はトランスの L_r との共振に用いるため容量変動を小さく抑える必要があり，MLCC 特有の DC 電圧の増加に伴う容量低下の影響を回避するためにフィルムコンデンサを用いた。

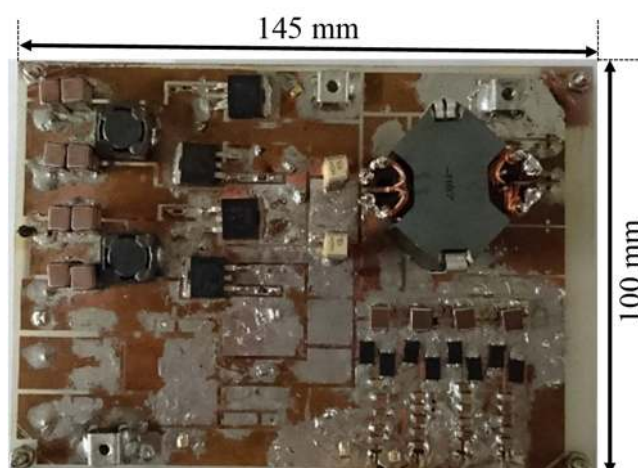


Fig. 5-1. Photograph of 70 W-prototype.

Table 5-1. Components used for the prototype.

Component	Value
Q_1 – Q_4	IRF644SPBF, $V_{DS} = 250$ V, $R_{on} = 0.28$ Ω , $C_Q = 330$ pF
C_{in1} – C_{in4}	Ceramic Capacitor, 10×4 μ F, 1.18 m Ω , 100 V
L_1, L_2	Inductor, 470 μ H
C_1 – C_4	Ceramic Capacitor, 10×2 μ F, 1.58 m Ω , 100 V
C_{out1} – C_{out4}	Ceramic Capacitor, 10×5 μ F, 2.0 m Ω , 50 V
D_1 – D_8	Schottky Diode, SBRT20M60SP5, $V_D = 0.57$ V
C_{r1}, C_{r2}	Film Capacitor, 0.1×4 μ F, 0.87 m Ω , 100 V
Transformer	$N_1 : N_2 = 13 : 7$, $L_r = 1.18$ μ H, $L_{mg} = 175$ μ H $R_{Tp} = 1.77$ Ω , $R_{Ts} = 0.39$ Ω

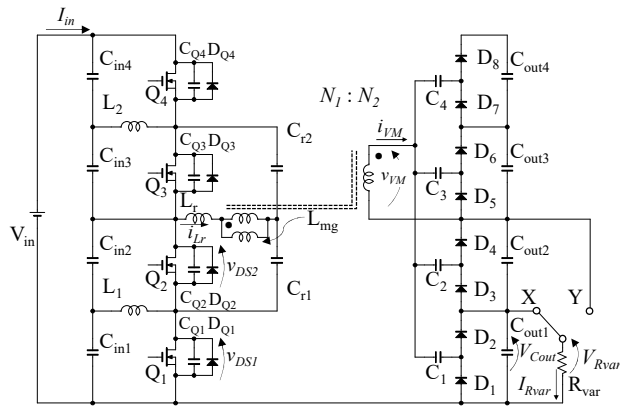


Fig. 5-2. Experimental setup for characteristic measurement.

トランスに関しては、巻線比は4直列パネルを想定しているため式(3.3)と同じく $N_1:N_2 \doteq 2:1$ を目標とし、3.4節でも述べたようにダイオードの順方向電圧 V_D やトランスの巻線抵抗 R_{Tp} 、 R_{Ts} 及び L_r における電圧降下分を考慮して $N_1:N_2 \doteq 13:7$ とした。また、表皮効果による影響を低減するために1次側の巻線を4並列、2次側を8並列して製作した。

動作時に Fig. 3-1 と Fig. 3-2 に示した所望の動作モードで動作させるために、式(3.1)を満たすよう、164 kHz の f_r に対し f_s は 140 kHz とした。これにより、 i_{Cr} の正弦波電流の半端を流し切らせて (i_{Lmg} と i_{Lr} を一致させて) Mode 2, 6 を出現させることが出来る。また、Mode 3, 7 にて各スイッチの出力容量 C_Q の充放電が可能な程度のデッドタイムを確保する必要があるため、デッドタイムは 0.4 μ s とした。

5.2. 基礎特性の測定

Fig. 5-2 に示す測定系を用いて試作回路の電力変換効率ならびに出力特性の取得を行った。外部電源 V_{in} を用いて補償器に電力を供給しつつ、タップ X および Y を介して可変抵抗 R_{var} を接続することで出力低下発生時における電流経路を模擬した。例えば、タップ X 選択時は C_{out1} と並列に負荷抵抗 R_{var} が接続され、 PV_1 に出力低下が生じた際の動作を模擬できる。一方、タップ Y を選択すると PV_1 と PV_2 に均等な程度の出力低下が発生した状況を模擬することができる。入力電圧 V_{in} は 142.5 V (パネル1枚当たりの MPP 電圧である 35.6 V に相当) に固定した。

$I_{Rvar} = 1.5$ A におけるタップ X 選択時の動作波形の取得結果を Fig. 5-3 に示す。 v_{DS1} と v_{DS2} の最大電圧は入力電圧 142.5 V のおよそ半分に対応する 71.3 V であり、VD による分圧が適切に行われていることが確認された。

電力変換効率と出力特性の取得結果を Fig. 5-4 に示す。横軸の V_{Cout} は C_{out1} の電圧であり、実用時における低出力パネルの電圧に相当する。縦軸の Power は V_{Rvar} と I_{Rvar} の積であり、Efficiency は $V_{Rvar}I_{Rvar}/V_{in}I_{in}$ に相当する。低出力パネルに対する供給電流、すなわち I_{Rvar} の増加に伴い V_{Rvar} は直線的に低下し、低出力パネル数が多い条件 (タップ Y 選択時) においてより大きな電圧低下を示した。いずれのタップ選択時においても VM による電圧

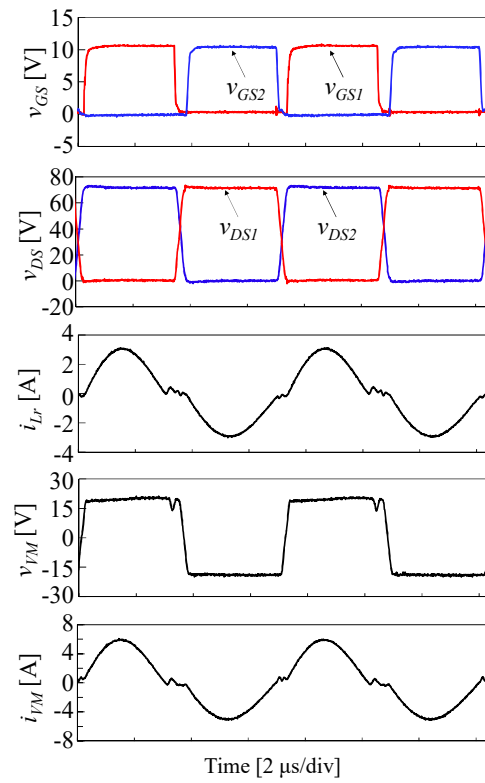


Fig. 5-3. Measured key waveforms at $I_{Rvar} = 1.5$ A with tap X selected.

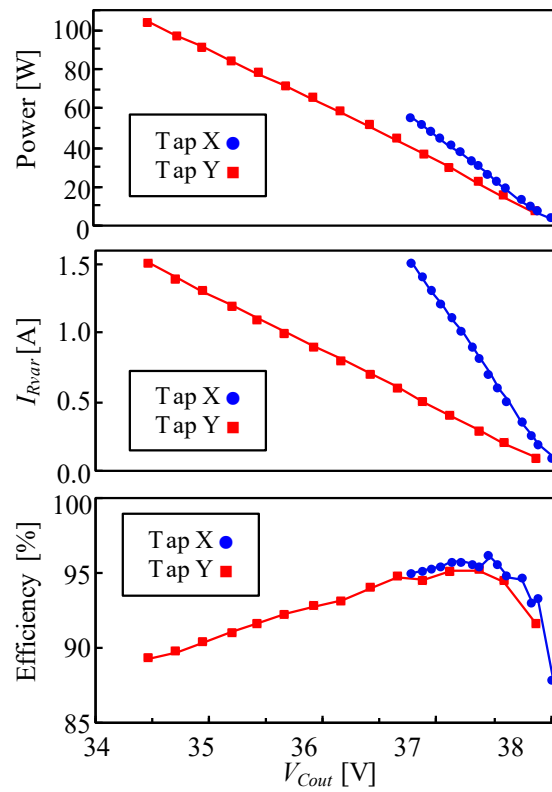


Fig. 5-4. Measured power conversion efficiencies and output characteristics.

均等化動作によって、 $C_{out2} \sim C_{out4}$ の電圧は V_{Cout1} とほぼ同じ値を示した。これは低出力パネ

ル数の増加に応じて入力電流 I_{in} が増加し、トランス 1 次側の各種抵抗成分でより大きな電圧降下が生じたためであると考えられる。いずれのタップ選択条件においても電力変換効率は概ね 90%以上であった。

5.3. 電力補償実験

実パネルの代わりにソーラーアレイシミュレータ (E4361A, Keysight Technologies) を用いてストリングの部分的な出力低下を模擬しつつ、試作回路を用いて電力補償を行った。Fig. 2-2 における負荷端子 (Load+と Load-) に電子負荷を接続し、抵抗値を変化させることでストリング特性を走査した。また、比較としてバイパスダイオード (Fig. 1(a)と同様の構成) を用いた際のストリング特性も同様に走査を行った。実験に用いた各パネルの特性を Fig. 5-5(a)に示す。これらは PV3 のみ短絡電流が 30%低下した状態を模擬しており、この条件下におけるストリングの MPP 電力の理想値 (全パネルが MPP で動作した場合の電力) は 623 W である。

補償器の有無に対するストリング特性の取得結果を Fig. 5-5(b)に示す。上段の P_{string} は負荷端子における電力、すなわち V_{string} と I_{string} の積に相当する。補償器無し (Fig. 1(a)と同様の構成) の場合はストリングの P - V 特性に 2 つの MPP が発生し、最大電力は 506 W であった。一方、補償を行うことで MPP は 1 点に収束し、最大電力は 21.9%増加し 617 W となった。また、本実験におけるストリングの利用率 (抽出可能電力の理想値に対する最大電力の割合) は 99.0% (= 617/623) であった。これらの結果から、提案補償器の有用性が示された。

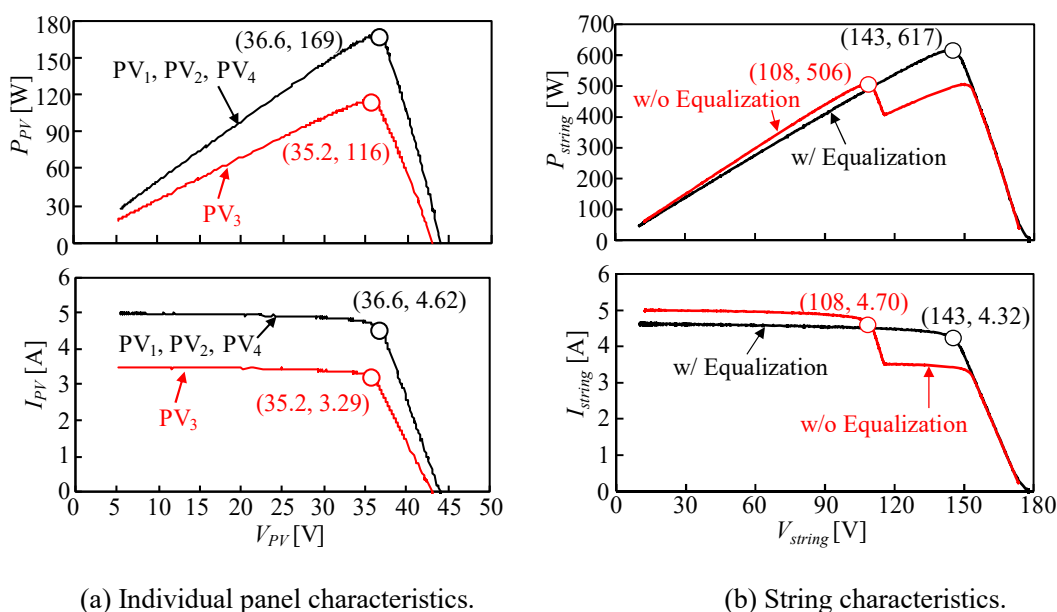


Fig. 5-5. Experimental results of equalization test.

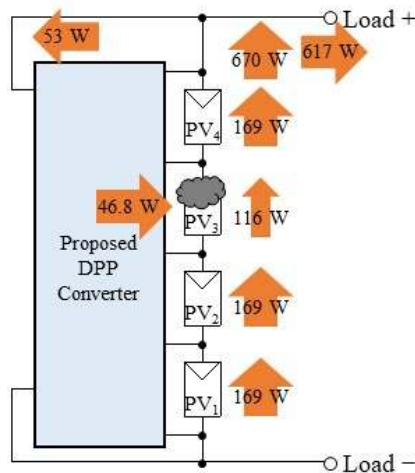


Fig. 5-6. Power redistribution in voltage equalization test.

ストリングが MPP で動作した際の電力フローを Fig. 5-6 に示す。全てのパネルが各々の MPP で動作したと仮定すると、日照パネルと低出力パネルの電流差は 1.33 A，低出力パネルの電圧は 35.2 V であるため (Fig. 5-5(a)参照)，補償器から低出力パネルには 46.8 W の電力が供給される。これにより，ストリングはあたかも 670 W を発電しているよう振る舞うが，補償器への入力電力が 53 W であるため負荷端で取り出せる電力は 617 W となった。本条件下で補償器が扱う電力は 53 W でありストリング電力と比べて大幅に小さいため，補償器の電力変換効率 (90~95%) 以上の利用率 (99%) を達成することができた。

5.4. フィールドテスト

4 直列の実パネルから構成されるストリングに対してフィールドテストを実施した。実施した日時は 2019 年 1 月 22 日の 12 時頃で天気は晴れ時々曇りであった。実験時の日射量の平均値は 599 W/m² (補償無し) と 591 W/m² (補償有り) であった。日射量とパネル電

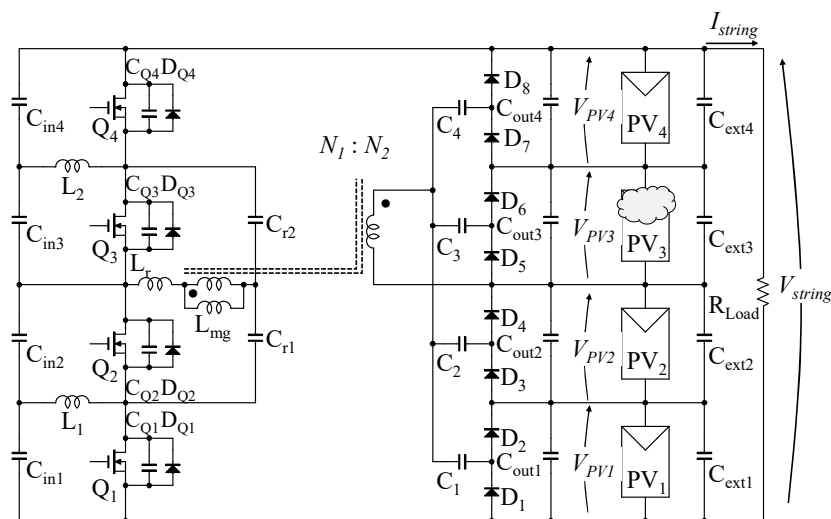


Fig. 5-7. Experimental setup for field test.

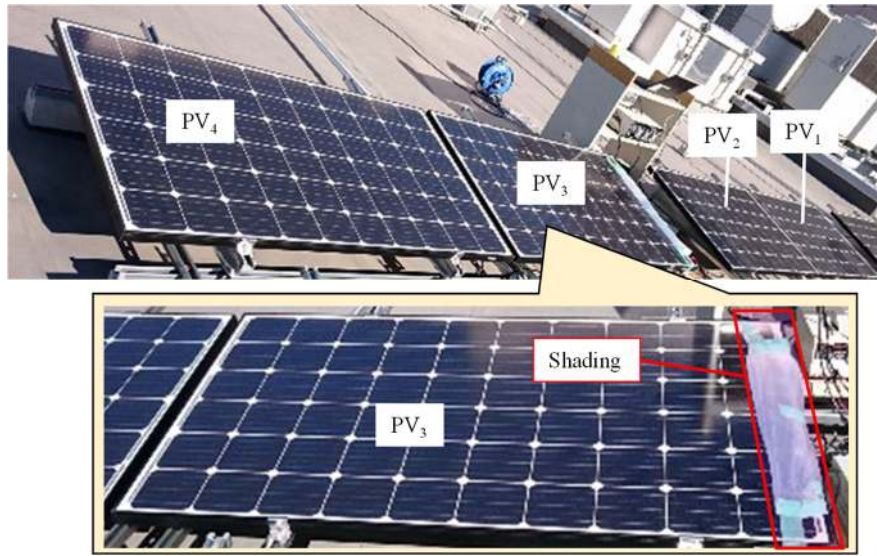


Fig. 5-8. Photograph of four real PV panels connected in series used for the field test.

圧 $V_{PV1} \sim V_{PV4}$ とストリング電流 I_{string} の取得にはデータロガー (NR-500, KEYENCE) を用いた。

フィールドテストにおける実験系と使用した4直列パネルを Fig. 5-7 と Fig. 5-8 に示す。PV₃にのみパネル上の一部にポリ袋を被せて意図的に影を発生させることで、Fig. 5-9(a)の $I_{string} - V_{PV}$ 特性 (補償器未使用時) に示す通り PV₃ とその他3枚のパネルの間に電気特性ばらつきを持たせた。PV₃は影により短絡電流が1 A程度低下した。配線の都合上、各パネルと試作回路を2~3 m程度の長さのケーブルを用いて接続した。この時、ケーブルの寄生インダクタンスが回路の動作に悪影響を及ぼす可能性があるため、470 μ Fの電解コンデン

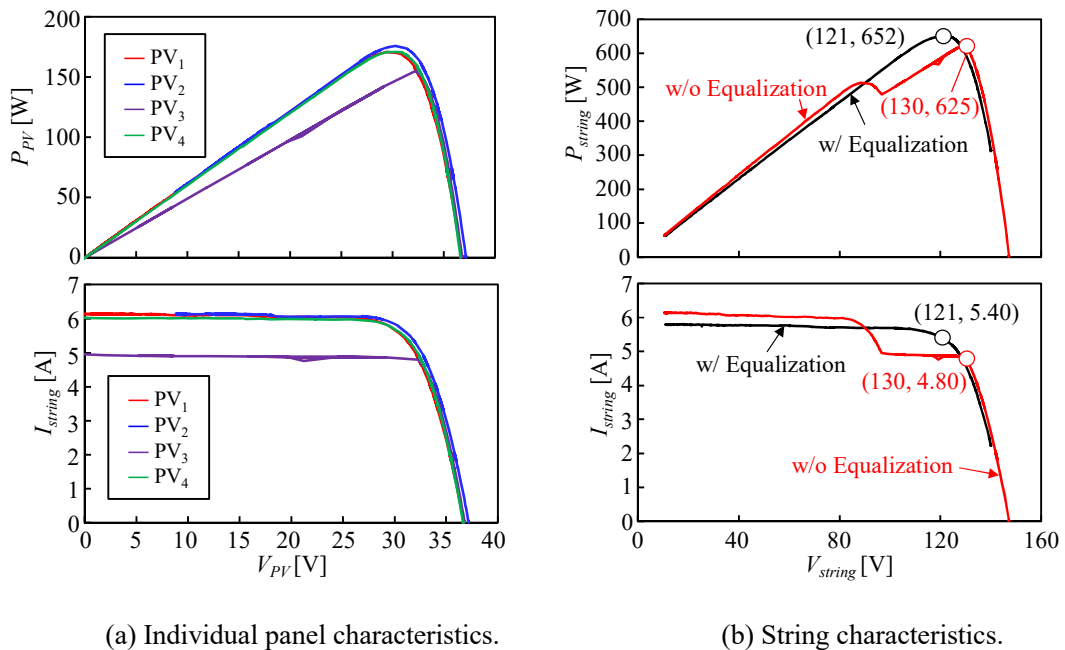


Fig. 5-9. Experimental results of field test on four real PV panels connected in series.

サ $C_{ext1} \sim C_{ext4}$ を $PV_1 \sim PV_4$ に並列に接続した。

フィールドテストにより取得した補償器の有無に対するストリング特性を Fig. 5-9(b)に示す。上段の P_{string} は V_{string} と I_{string} の積に相当する。補償器未使用時はストリングの P - V 特性に2つの MPP が発生し、最大電力は 625 W であった。一方、補償を行うことで MPP は1点に収束し、最大電力は 4.35% 増加し 652 W となった。また、本実験における補償時のストリングの利用率（抽出可能電力の理想値に対する最大電力の割合）は、Fig. 5-9(a)の上段の図より各パネルの MPP 電力の総和が 672 W となるため 97.0% ($=652/672$) であった。これらの結果から、実物のストリングに対する提案補償器の有用性が示された。

6. まとめ

本研究では高電圧の多直列パネル用部分影補償器を提案した。提案補償器は、SCC と PWM コンバータから構成される分圧回路 VD と LLC 共振形倍電圧整流回路の組み合わせより導出され、VD を構成するコンデンサとスイッチの低耐圧化が可能である。

4 直列パネルのストリング（開放電圧 180 V）を想定した場合における従来補償器との受動素子の合計サイズの比較の結果、提案補償器の 1 次側回路における受動素子の合計体積は従来補償器と比べて約 1/8.3 となり、回路の小型化を実現できることが示唆された。

SAS によって模擬された 4 直列のパネルにより構成されるストリングに対し、1 枚のパネルの短絡電流が 30%低下した場合における電力補償の実機検証を行った。補償によりストリングの最大抽出可能電力が 21.9%増加したことから提案補償器の有用性が示された。

また、4 直列の実パネルにより構成されるストリングにおいて、1 枚のパネルの短絡電流が 1 A 程度低下した場合におけるフィールドテストを行った。補償によりストリングの最大抽出可能電力が 4.35%増加し MPP が 1 点に収束したため提案補償器の有用性が示された。

7. 補足

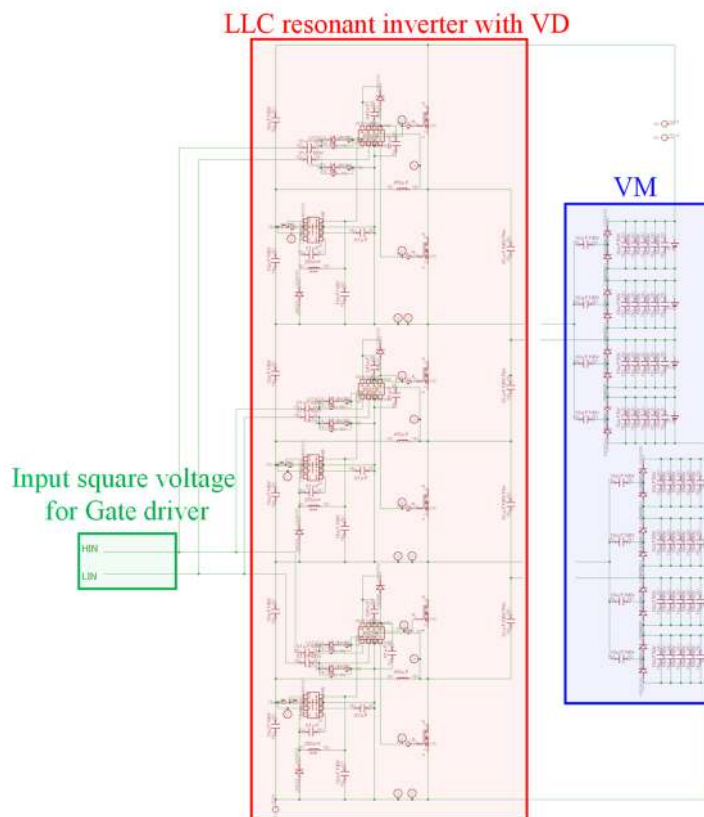
7.1. 提案回路の回路基板

本研究では、回路基板製作ソフト EAGLE を用いて基板設計を行った。基板データは Schematic と呼ばれるウインドウで回路図を作成し、その後 Board ウインドウにて Schematic の回路図をもとに部品を配置して実機を製作する。8 直列パネル用として $n=6$ (即ち, C_{in} とスイッチを 6 つ実装, VM を 2 モジュール構成しトランスを 2 つ使用) の試作回路の基板を製作し、4 直列パネルでの実機検証時には Fig. 5-1 のように $n=4$ として実装した。

Board にて回路基板を製作する際、以下の点を考慮して製作した。

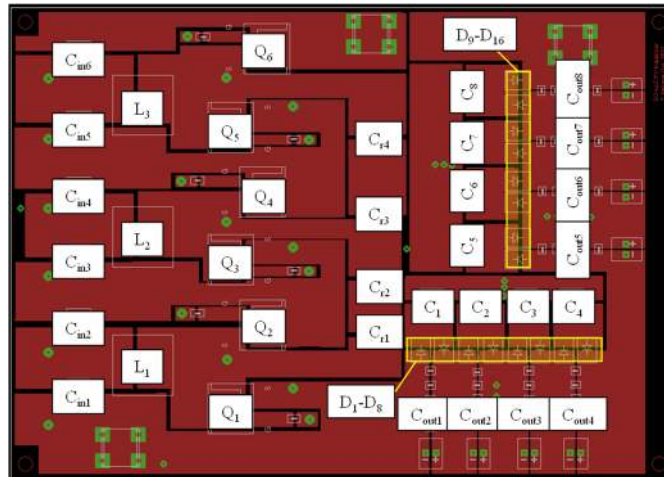
- I. 回路からのノイズの発生を抑制するために、グラウンドを 1 点のみ配置させる
- II. パターンの長さに起因する寄生インダクタンスの影響がスイッチとゲートドライバに生じることを防ぐために、ゲートドライバの出力からスイッチのゲートまでのパターンを短くし、ゲートドライブ回路を裏面に集約した。

上記の注意点をふまえ、作成した Schematic と Board (表面と裏面) をそれぞれ Fig. 7-1,



(a) Schematic.

Fig. 7-1. Screen shot of 70 W-prototype's schematic.



(a) Board (Top side).



(b) Board (Rear side).

Fig. 7-2. Screen shots of 70 W-prototype's Board.

Fig. 7-2 に示す。

7.2. ゲートドライブについて

各ゲートドライバの GND は PV パネルの負極側に接続するため、接続されたパネルの負極側を各ゲートドライバは GND 基準としている。GND を基準とする電源電圧入力 V_{CC} で各ゲートドライバを駆動する必要があるため、実際の実験では 12 V の電圧源をゲートドライバごとに個別に用意した。本研究では、1 組の SCC (即ち、スイッチ 2 つ) に対してゲートドライバ IRS2186 を 1 つずつ用意した。また、ゲートドライバを駆動するために GND を基準とした 5 V の矩形波電圧入力 V_{IN} が必要となり、本研究ではここに DSP マイコン (TMS320F28335 Experimenter Kit, Texas Instruments) の矩形波電圧信号出力機能を用いた。DSP マイコンの保護のため、実際の実験系ではブレッドボード上に用意したデジタルアイソレータ ADuM1200 を介して V_{IN} を入力した。各ゲートドライバにおける

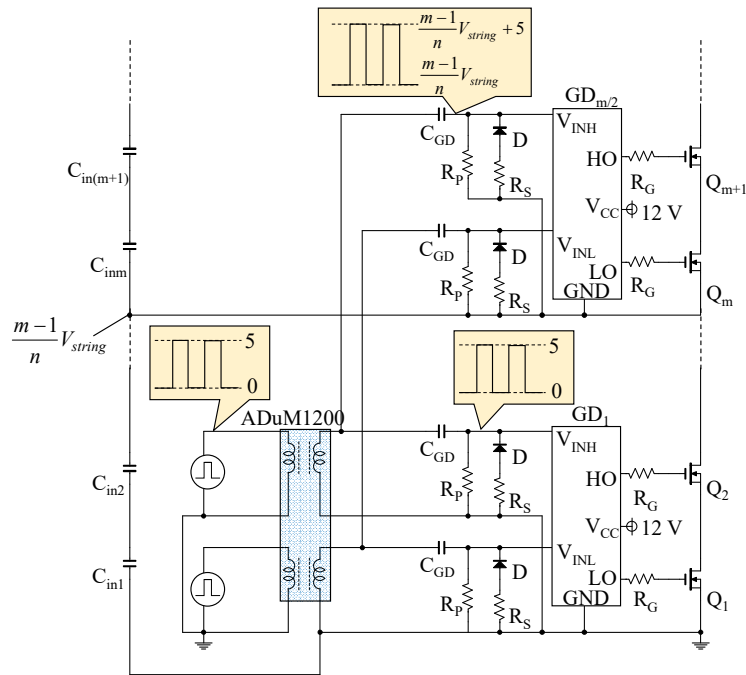
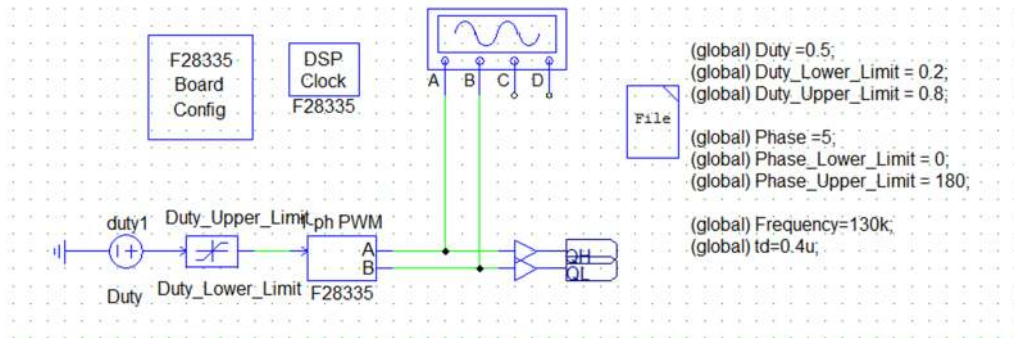


Fig 7-3. Configuration of gate drive circuit in the proposed converter.

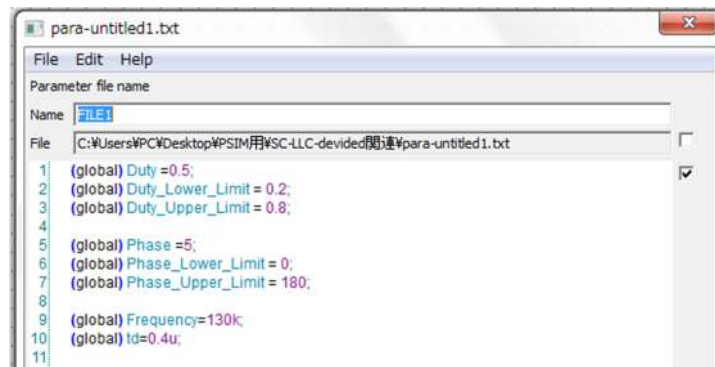
GND の電位が異なるため、Fig 7-3 に示すようにコンデンサ C_{GD} とダイオード D を用いた電圧クランプ回路を利用し 5 V の矩形波電圧をゲートドライバに入力した。矩形波電圧がローの時にダイオード D はオンとなり、各ゲートドライバにおける GND の電位と C_{GD} に印加される電圧は等しくなる。矩形波電圧がハイになると D がオフとなり、 5 V の電圧がゲートドライバに入力される。この時、各ゲートドライバの基準としている GND の電位に応じた高電圧が C_{GD} に印加されるという問題がある。

7.3. スイッチ駆動用矩形波電圧の生成について

7.2 節にも述べた通り、本研究ではスイッチの駆動の為の電圧信号に DSP マイコン TMS320F28335 の矩形波電圧信号出力機能を用いた。この矩形波電圧の出力のために製作した PSIM のシミュレーションファイルの画面 (Fig. 7-4(a)) と SimCoder 用のパラメータファイルの中身 (Fig. 7-4(b)) を示す。このパラメータファイルにより 50% の固定デューティかつ所望の f_s とデッドタイムを有する 2 つの矩形波電圧信号を出力可能である。



(a) Screenshot of simulation window on PSIM.



(b) Screenshot of parameter file on PSIM.

Fig. 7-4 Screenshots on PSIM for generating the square voltage signals by DSP.

参考文献

- [1] S. M. MacAlpine, R. W. Erickson, and M. J. Brandemuehl, "Characterization of power optimizer potential to increase energy capture in photovoltaic systems operating under nonuniform conditions," *IEEE Trans. Power Electron.*, vol. 28, no. 6, pp. 2936–2945, Jun. 2013.
- [2] S. Qin, S.T. Cady, A.D.D. García, and R.C.N.P. Podgurski, "A distributed approach to maximum power point tracking for photovoltaic submodule differential power processing," *IEEE Trans. Power Electron.*, vol. 30, no. 4, pp. 2024–2040, Apr. 2015.
- [3] S. Qin, C. B. Barth, Student, and R. C. N. P. Podgurski, "Enhancing microinverter energy capture with submodule differential power processing," *IEEE Trans. Power Electron.*, vol. 31, no. 5, pp. 3575–3585, May. 2016.
- [4] H. J. Bergveld, D. Büthker, C. Castello, T. Doorn, A. D. Jong, R. V. Otten, and K. D. Waal, "Module-level dc/dc conversion for photovoltaic systems: the delta-conversion concept," *IEEE Trans. Power Electron.*, vol. 28, no. 4, pp. 2005–2013, Apr. 2013.
- [5] P. S. Shenoy, K. A. Kim, B. B. Johnson, and P. T. Krein, "Differential power processing for increased energy production and reliability of photovoltaic systems," *IEEE Trans. Ind. Power Electron.*, vol. 28, no. 6, pp. 2968–2979, Jun. 2013.
- [6] T. Shimizu, M. Hirakata, T. Kamezawa, and H. Watanabe, "Generation control circuit for photovoltaic modules," *IEEE Trans. Power Electron.*, vol. 16, no. 3, pp. 293–300, May. 2001.
- [7] T. Shimizu, O. Hashimoto, and G. Kimura, "A novel high-performance utility-interactive photovoltaic inverter system," *IEEE Trans. Power Electron.*, vol. 18, no. 2, pp. 704–711, Mar. 2003.
- [8] M. Uno and A. Kukita, "PWM converter integrating switched capacitor converter and series-resonant voltage multiplier as equalizers for photovoltaic modules and series-connected energy storage cells for exploration rovers," *IEEE Trans. Power Electron.*, vol. 32, no. 11, pp. 8500–8513, Nov. 2017.
- [9] J. T. Stauth, M. D. Seeman, and K. Kesarwani, "Resonant switched-capacitor converters for submodule distributed photovoltaic power management," *IEEE Trans. Power Electron.*, vol. 28, no. 3, pp. 1189–1198, Mar. 2013.
- [10] A. H. Chang, A. T. Avestruz, and S. B. Leeb, "Capacitor-less photovoltaic cell-level power balancing using diffusion charge redistribution," *IEEE Trans. Power Electron.*, vol. 30, no. 2, pp. 537–546, Feb. 2015.
- [11] J. Du, R. Xu, X. Chen, Y. Li, and J. Wu, "A novel solar panel optimizer with self-compensation for partial shadow condition," in Proc. *IEEE Applied Power Electron. Conf. Expo., APEC*, pp.

92–96, Mar. 2013.

- [12] M. Uno and A. Kukita, “Two-switch voltage equalizer using an LLC resonant inverter and voltage multiplier for partially shaded series connected photovoltaics modules,” *IEEE Trans. Ind. Appl.*, vol. 51, no. 2, pp. 1587–1601, Nov. 2015.
- [13] 鷗野将年・久木田明夫:「太陽電池用部分影補償器を統合した PWM コンバータ」, 電学論 D, vol. 137, no. 3, pp. 274-281, Mar. 2017.
- [14] M. Uno and A. Kukita, “Single-switch single-magnetic PWM converter integrating voltage equalizer for partially-shaded photovoltaic modules in standalone applications,” *IEEE Trans. Power Electron.*, vol. 33, no. 2, pp. 1259–1270, Feb. 2018.
- [15] M. Uno and A. Kukita, “Single-switch voltage equalizer using multi-stacked buck–boost converters for partially-shaded photovoltaic modules,” *IEEE Trans. Power Electron.*, vol. 30, no. 6, pp. 3091–3105, Jun. 2015.
- [16] M. Uno and A. Kukita, “Current sensorless equalization strategy for a single-switch voltage equalizer using multistacked buck–boost converters for photovoltaic modules under partial shading,” *IEEE Trans. Ind. Appl.*, vol. 53, no. 1, pp. 420–429, Jan/Feb. 2017.
- [17] X. Ruan, B. Li, Q. Chen, S. C. Tan, and C. K. Tse, “Fundamental considerations of three-level DC–DC converters: topologies, analyses, and control,” *IEEE Trans. Power Electron.*, vol. 55, no. 11, pp. 3733–3743, Dec. 2008.
- [18] I. O. Lee, G. W. Moon, “Analysis and design of a three-level LLC series resonant converter for high- and wide-input-voltage applications,” *IEEE Trans. Power Electron.*, vol. 27, no. 6, pp. 2966–2979, Jun. 2012.
- [19] H. Choi, “Design consideration for an LLC-resonant converter,” in Proc. *Fairchild Power Semin.*, pp. A-1–A-9, 2007.

謝辞

本研究にあたり、ご指導を頂いた修士論文指導教員の鶴野将年准教授に感謝いたします。また普段の生活の議論を通して多くの知識を頂いた卒業生の篠原俊樹先輩、杉山一希先輩、永田光先輩、矢代和輝先輩、山本聖也先輩、小山莉奈さん、同期である井上将彦君、齋藤陽太君、佐藤祐介君、長谷川航輝君、許奇君、後輩である相川慧人君、五十嵐龍一君、大豆生田達毅君、佐藤颯人君、多田善耶君、吉野功司君、劉旭陽君、岩崎光洋君、上野瑛永君、佐藤元基君、本田和磨君、佐々木優介君、程徳霄君にも厚くお礼を申し上げたく、訓辞にかえさせていただきます。