

平成 29 年度 修士学位論文

部分影補償と電圧昇圧機能を有する
Z ソースインバータを基礎とした
太陽光発電システム用
マイクロインバータ

理工学研究科 電気電子工学専攻

16NM618H 篠原 俊樹

指導教員 鵜野 将年 准教授

要旨

近年、PV パネル単体からの系統連系を行うマイクロインバータ (MI: Micro-Inverter) が家庭用をはじめとした比較的電力規模が小さい PV システム向けに一般的になりつつある。しかし、パネル単体の電圧は系統電圧よりも低く、MI にはパネルの電圧昇圧用に昇圧コンバータ、DC-AC 変換用にインバータがそれぞれ別個に要求されるため、システムが高コスト化、複雑化してしまう。更に、後述する部分影による悪影響の懸念も存在する。

パネルの一部にのみ発生する影である部分影が発生すると、パネルに発生した影の面積以上に発電量が低下することが知られている。対策として種々の部分影補償器が提案されているが、部分影補償器と MI を併用した場合には合計 3 台の電力変換器がパネル毎に必要となり、システムの更なる複雑化につながる。

本研究ではパネル単体から系統連系を行う PV システムの簡素化を目的に、単体での電圧昇圧機能を有する Z ソースインバータ (ZSI: Z-Source Inverter) と部分影補償器の 1 種である倍電圧整流回路の回路素子を共有しつつ 1 台に集約した統合型 MI を提案する。しかしパネル単体から系統連系を行う統合型 MI は高昇圧比が要求され、電力変換効率の低下に懸念が残る。そこで複数台変換器のカスケード接続による系統連系を想定したカスケードシステム用統合型 ZSI についても提案する。カスケードシステム用統合型 ZSI は変換器単体の昇圧比が統合型 MI よりも低く、変換効率の改善が期待できる。

上記の 2 種類の変換器について動作解析および実機検証を行った。動作解析では双方の提案回路において補償器としての動作条件を示した。また提案回路が有する 2 つの制御自由度を用いて補償器としての性能を制御しつつ、最大電力点追尾 (MPPT: Maximum Power Point Tracking) によりパネルから最大電力を抽出できることを示した。

実機検証では 2 つの提案回路それぞれについて試作回路を製作し、動作解析の妥当性検証を実施した。更に部分影発生時を模擬した条件下における実機検証ではパネルの抽出電力が向上し、かつ、その際に出力電圧の昇圧を実現したため、部分影補償・DC-AC 変換・電圧昇圧の 3 種類の機能を 1 台の変換器で実現できることが示された。加えて統合型 MI と比較した際にカスケードシステム用統合型 ZSI がより高効率で上記 3 種類の機能を実現できることを示した。また部分影未発生時を想定して MPPT 実験を行った結果、2 種類の制御自由度を用いて最大電力を抽出しつつ補償器としての性能を制御できることが示唆された。

Abstract

In recent years, photovoltaic (PV) system based on grid-connected micro-inverters (MIs) for individual PV panels has gained the popularity for small-scale applications. In general, a voltage of a PV panel is lower than the grid, and therefore, a high step-up boost converter and an inverter are separately necessary, increasing the system complexity and costs. In addition, MI-based systems cannot preclude partial shading issues mentioned below.

In general, an extractable power of a partially-shaded PV panel significantly decreases. To solve partial shading issues, various kinds of voltage equalizers have been proposed. In this case, three power conversion circuits of a voltage equalizer, boost converter, and inverter are separately necessary, resulting in the further system complexity and costs.

In this research, the MI integrating the voltage equalizer and Z-source inverter (ZSI) is proposed to simplify the MI-based system. The integrated MI is derived by sharing circuit components between voltage multiplier and ZSI. Since the integrated MI requires high step-up voltage conversion, its efficiency is prone to be worsened. Thus, the cascaded ZSI is also proposed to enhance the power conversion efficiency by cascading multiple ZSIs. The cascaded ZSI is able to operate with lower step-up conversion ratios compared with the integrated MI, bringing higher power conversion efficiency.

The operation analysis and experimental verification were carried out using the prototypes of proposed ZSIs. In the operation analysis, the operation criterion of the proposed circuits as a voltage equalizer was derived and verified by the experiment. In the experimental verification emulating partial shading conditions, the integrated MI and cascaded ZSI not only enhanced the extractable power from the PV panel but also boosted their output voltages. These results demonstrated the efficacy of the proposed integrated MI and cascaded ZSI. In addition, the MPPT experiment was performed emulated under uniform irradiation. This experiment suggested the capability that the proposed cascaded ZSI can control the performance of the voltage equalizer and extract the maximum power from the PV panel by two degrees of control freedom under partial shaded condition.

目次

第1章 研究背景.....	6
1.1 マイクロインバータ (MI: Micro-Inverter) を基礎とした太陽電池 (PV: Photovoltaic) システム.....	6
1.2 Z ソースインバータ (ZSI: Z-Source Inverter) の MI への応用.....	6
1.3 部分影による悪影響.....	7
1.4 部分影対策.....	8
1.4.1 マイクロコンバータによる個別制御.....	8
1.4.2 部分影補償器 (隣接サブストリング間方式).....	9
1.4.3 部分影補償器 (パネル-サブストリング間方式).....	9
1.5 部分影補償器を統合した電力変換器.....	10
1.6 本論文の構成.....	11
第2章 統合型 MI・カスケードシステム用統合型 ZSI.....	12
2.1 カスケードシステム用統合型 ZSI の導出.....	12
2.2 カスケードシステム用統合型 ZSI の特徴.....	13
2.3 統合型 MI.....	14
2.4 2倍高調波 (DFR: Double Frequency Ripple).....	15
第3章 動作解析.....	15
3.1 カスケードシステム用統合型 ZSI の動作原理.....	16
3.2 提案回路における VM 部の動作解析.....	18
3.3 統合型 MI の動作原理.....	19
3.4 2つの制御自由度 (d_{ST} 、 M) の併用による二重制御.....	20
3.5 ΔV 制御[26].....	20
第4章 実機検証.....	21
4.1 統合型 MI に関する各種実験.....	22
4.1.1 統合型 MI の 100 W 試作回路.....	22
4.1.2 VM の出力 I - V 特性.....	23
4.1.3 部分影補償実験.....	24
4.2 カスケードシステム用統合型 ZSI に関する各種実験.....	28
4.2.1 カスケードシステム用統合型 ZSI の 180 W 試作回路.....	28
4.2.2 統合型 ZSI の電力変換効率の測定 (部分影未発生時).....	29
4.2.3 VM 部の出力 I - V 特性.....	31
4.2.4 部分影補償実験.....	32
4.2.5 MPPT 実験 (部分影未発生時を想定).....	33

第 5 章 結論.....	36
第 6 章 補足資料.....	37
補足 A SBC (Simple Boost Control)	37
補足 B 統合型 MI のプリント基板パターン.....	39
補足 C 「Limiter」 の内部 (C 言語)	39
補足 D ピークホールド回路.....	40
補足 E 「delta V」 の内部 (C 言語)	41
補足 F カスケードシステム用統合型 ZSI のプリント基板パターン.....	42
補足 G 「MPPT」 の内部 (C 言語)	42
参考文献.....	44

第 1 章 研究背景

1.1 マイクロインバータ（MI: Micro-Inverter）を基礎とした太陽電池（PV: Photovoltaic）システム

近年では家庭用を例とした比較的小規模な PV システム向けに MI というパネル単位で系統連系を行う電力変換器が一般的になりつつある。このシステムはパワーコンディショナにより複数枚のパネルを 1 台の電力変換器で制御する集中型システムと異なり、システム内のパネル数が増えたり減ったりした際に電力変換器の設計変更を必要としない。そのため高い拡張性を有している。しかし一般的なパネルの電圧は 30~40 V であるのに対し系統電圧は 100 V_{ac} と高く、MI によるパネル毎の系統連系には出力電圧の昇圧用に昇圧コンバータと DC-AC 変換用にインバータがそれぞれ個別に要求される（図 1.1 参照）。したがってパネル毎に 2 台の電力変換器が要求され、MI を用いたシステムは高コスト化する傾向にある。

1.2 Z ソースインバータ（ZSI: Z-Source Inverter）の MI への応用

MI を使用するシステムには先述の通り高コスト化が懸念される。そのため近年では単体での電圧昇圧機能を有するインバータである ZSI[1]が MI の代替として注目を集めている。ZSI は MI システムにおいて変換器台数を削減することができるため、MI システムの簡素化・低コスト化を実現する。

ZSI はシュートスルー（ST: Shoot-Through）と呼ばれるインバータブリッジのレグをショートする動作により、単体での昇圧を実現する。通常の電圧型インバータの場合、レグのショートは入力電圧源のショートに繋がり、回路の破損の原因となる。しかし ZSI はレグのショートが可能な方式であるため、何らかの理由でレグが誤ってショートした際にも

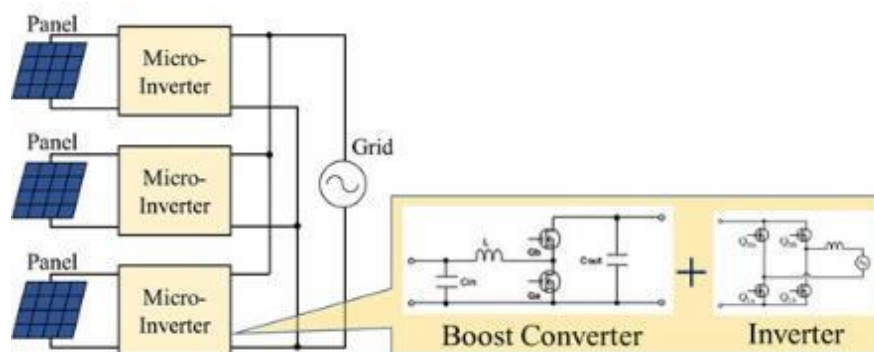


図 1.1 MI を基礎とした PV システムの概念図

大電流が流れることはなく、高い信頼性を有している。

ZSI の派生方式として多くの方式が提案されており[2]–[7]、それらの多くは PV システムや燃料電池を電源とするシステムでの使用が想定されている。また系統連系を行う PV システムを想定した研究も存在する[8], [9]。これらの用途では高い昇圧比が要求されることが多く、ZSI の派生方式の多くが通常の ZSI よりも高い昇圧比を有している。

しかし ZSI を MI として採用することで低コスト化を実現したとしても、MI から成る PV システムには部分影による発電量低下という深刻な問題が残されている。MI による電力制御はパネル単位にとどまっているため、後述する部分影による悪影響を解消することができない。

1.3 部分影による悪影響

一般的にパネルは単セル（PV モジュールの最小単位）の電圧が低いことから、サブストリングと呼ばれるセルの集合体が 2~3 個直列に接続されることで構成される。しかしパネルの一部にかかる影（部分影）により、一部のサブストリングにのみ出力が低下すると、影面積以上にパネルの発電量が大幅に低下する。部分影による出力低下は、家庭用のような部分影が頻発する用途において深刻な問題として考えられている。

部分影の発生により出力が低下したサブストリング（以下、影ありサブストリング）は影のかかっていないサブストリング（以下、影無しサブストリング）よりも出力電流が低くなる。一方で各サブストリングは直列接続されているため、全サブストリングの出力電流が等しくなる。したがって部分影発生時において影無しサブストリングの出力電流は影ありサブストリングと同等の出力にまで引き下げられてしまう。

上記の問題を回避するために、現在広く用いられているパネルでは全てのサブストリングに対して並列にバイパスダイオードが接続される。部分影発生時には影ありサブストリングに並列接続されたバイパスダイオードが導通することで、影無しサブストリングの出

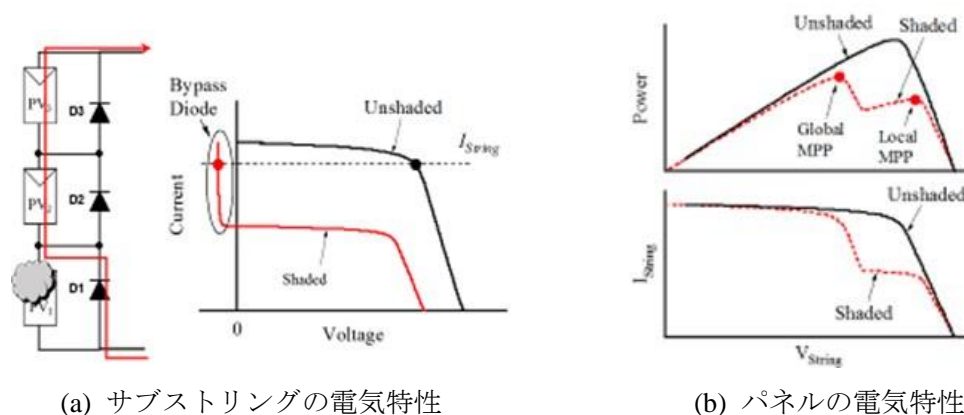


図 1.2 部分影あり/無しにおける PV パネルの電気特性

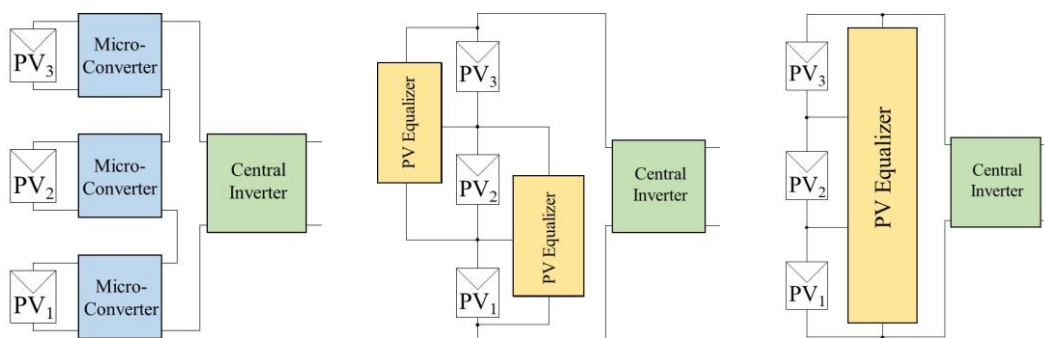
力低下を回避できる。しかし影ありサブストリングはダイオードによってバイパスされるため、自身の電圧は0Vとなる。これにより部分影発生時においても影ありサブストリング自体は発電できるにもかかわらず、電力を抽出できなくなってしまう（図 1.2(a)参照）。過去の研究では、パネル面積の10%の影に対してパネルの発電量は20~30%低下すると言われている[10]。

さらに部分影の悪影響は抽出可能電力の低下にとどまらず、パネルの電気特性に複数の最大電力点（MPP: Maximum Power Point）を発生させてしまう（図 1.2(b)参照）。これはパネルの発電量が電圧によって変動し、影発生時にはバイパスダイオードの導通/非導通によって複数のMPPが出現するためである。これによりパネルから最大電力を抽出する制御であるMPP追尾（MPPT: MPP Tracking）制御の誤動作につながる。MPPT制御として多くの方式が提案されているが、それらの多くでは偽のMPPに到達した場合、真のMPPでの動作が不可能となる。これは偽のMPPからパネルの動作電圧が高電圧側へ移動しても、あるいは低電圧側へ移動しても発電量が低下するため、偽のMPPから真のMPPへと動作点が移動できないからである。更に部分影発生時に真のMPPへ到達した場合においても、バイパスされた影ありサブストリングからは電力を取り出せない問題が残存する。

1.4 部分影対策

1.4.1 マイコンバータによる個別制御

1.3節で示した部分影が引き起こす様々な悪影響を解消するため、種々の部分影対策が提案されている。図 1.3(a)に示すマイクロコンバータはその一例である。本方式は各サブストリングをそれぞれ個別に制御してサブストリングレベルでMPPTを実施することで、全てのサブストリングのMPPでの動作を可能にする[11]。これにより部分影による悪影響を完全に解消することができる。しかしサブストリング数と同数のマイクロコンバータがパネルごとに要求されるため、システムの高コスト化ならびに複雑化が問題となる。さらにマ



(a) マイコンバータ (b) 隣接サブストリング間 (c) パネル-サブストリング間

図 1.3 種々の部分影対策の概念図

マイクロコンバータはサブストリングの全電力を扱うことから、後述する部分影補償器と比較して大きな電力定格が要求される[12]。

1.4.2 部分影補償器（隣接サブストリング間方式）

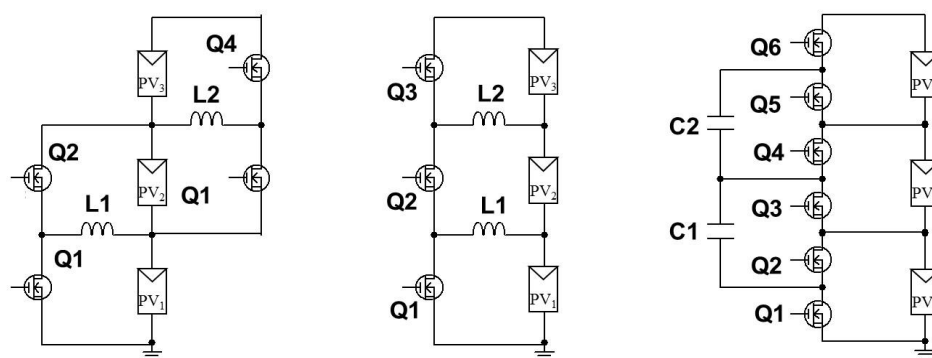
隣接するサブストリング間において、図 1.3(b)のように部分影補償器（双方向コンバータ）を介して電力伝送を行い、部分影が発生した際においても全サブストリングの電気的特性を疑似的に均一化することで部分影の悪影響を回避する[13]–[18]。部分影補償器は各サブストリングの発生電力の差分に相当する電力のみを扱うため、マイクロコンバータを用いるシステムと比べて小さな電力定格のコンバータ（補償器）を使用できる[15]。

隣接サブストリング間部分影補償器の代表的な回路方式を図 1.4(a)~(c)に示す。いずれの方式においてもサブストリング数に比例した複数台の補償器が必要であるのに加えて、多数個のスイッチを必要とするため回路構成が複雑化する（スイッチの駆動には多数の周辺部品が必要となるため、スイッチ数は回路の複雑さを表す指標として用いられる）。また、図 1.4(a)と図 1.4(b)の各方式ではサブストリング数に比例した複数個のインダクタが必要となるため、回路が大型化する傾向にある。更に、補償器を介した電力伝送は隣接したサブストリング間に限定されるため、影の発生状況によっては複数台の補償器を介した電力伝送が行われることで総合的な効率が低下する傾向がある[19]。

1.4.3 部分影補償器（パネル-サブストリング間方式）

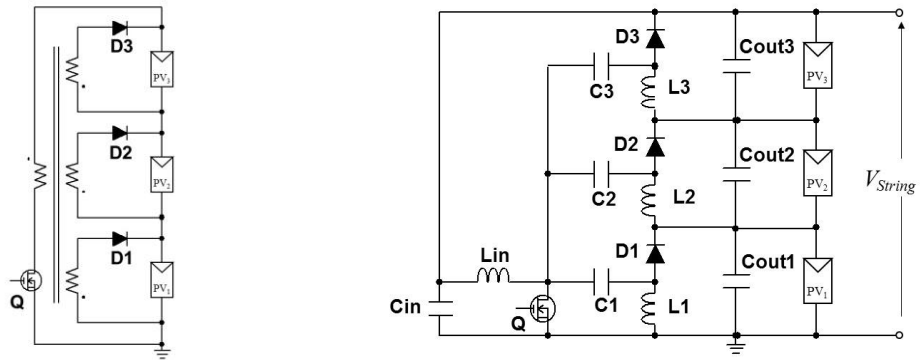
部分影補償器を介してパネルから影ありサブストリングへと直に電力伝送を行うことで、全てのサブストリングの電気的特性を疑似的に均一化させて部分影による問題を防止する[20]–[22]。図 1.3(c)に示す通り 1 台の補償器で複数のサブストリングに対応可能であるため、前述の隣接サブストリング間補償器を用いた場合と比較してシステムを簡素化することができる。

パネル-サブストリング間部分影補償器の具体的な回路方式の例を図 1.5(a)~(c)に示す。図



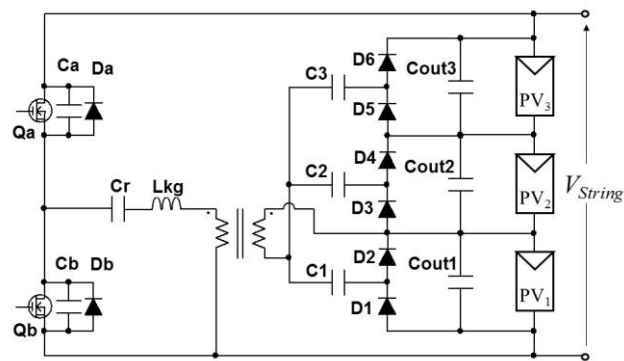
(a) 昇降圧チョッパ (b) マルチステージチョッパ (c) スイッチトキャパシタ

図 1.4 隣接サブストリング間方式



(a) 多巻線フライバックコンバータ

(b) 多段接続 SEPIC コンバータ



(c) 二石式 LLC 共振型倍電圧整流回路

図 1.5 パネル-サブストリング間方式

1.4(a)~(c)の隣接サブストリング間補償器と比較して少数個のスイッチで補償器を構成できるため、回路構成の飛躍的な簡素化が望める。

しかし、依然としてパネル電力制御用の電圧変換器に加えて部分影補償器が追加が必要となる。即ち複数台の変換器が必要なため、システムの簡素化の観点からは改善の余地がある。また、図 1.5(a)の多巻線フライバックコンバータ方式[20]では多巻線トランスの設計が困難である、図 1.5(b)の多段接続 SEPIC コンバータ方式[21]ではサブストリング数に比例した複数個のインダクタが必要となる、といった具合に方式に応じて個別の課題を有している。

1.5 部分影補償器を統合した電力変換器

1.4節で述べた種々の部分影対策を採用した場合、従来のシステムに補償器を追加することになるため、システムの複雑化に拍車がかかる。特に MI を基礎としたシステムの場合、パネル毎に合計 3 台の電力変換器が必要となるためシステムの更なる複雑化と高コスト化につながる。そこで複数の電力変換器を回路素子の共有により 1 台に集約した統合型電力変換器が提案されている[23]–[25]。これは変換器台数の削減によるシステムの簡素化のみならず、回路素子数の削減による回路レベルでの簡素化を実現することができる。

本研究ではパネルから系統連系を行うシステムの簡素化を目指し、ZSI を基礎にパネルサブストリング間方式の部分影補償器 (図 1.5(c)) を統合した統合型 MI[25]を提案する。さらに統合型 MI のみならず、複数台の変換器のカスケード接続によるカスケードシステムを用途に想定したカスケードシステム用統合型 ZSI を提案する。カスケードシステム用統合型 ZSI は複数台での系統連系を想定しているため拡張性は単体での系統連系が可能な統合型 MI に劣る。しかし統合型 MI よりも変換器単体の昇圧比が低く済むため、より高性能な低耐圧デバイスが使用でき電力変換効率の向上が期待できる。図 1.6(a)~(c)にはそれぞれ部分影補償器を採用した系統連系を行う PV システムを示す。図 1.6(a)は従来システム、図 1.6(b)は統合型 MI システム、図 1.6(c)は統合型 ZSI によるカスケードシステムである。

1.6 本論文の構成

本論文では、第 2 章で統合型 MI とカスケードシステム用統合型 ZSI の導出法や特徴について述べる。第 3 章では提案回路の動作解析と制御手法について言及する。第 4 章では試作回路による実験結果を示す。第 5 章を本論文のまとめとする。また提案回路そのものの情報ではないが研究に深く関わる事項については補足として記載する。

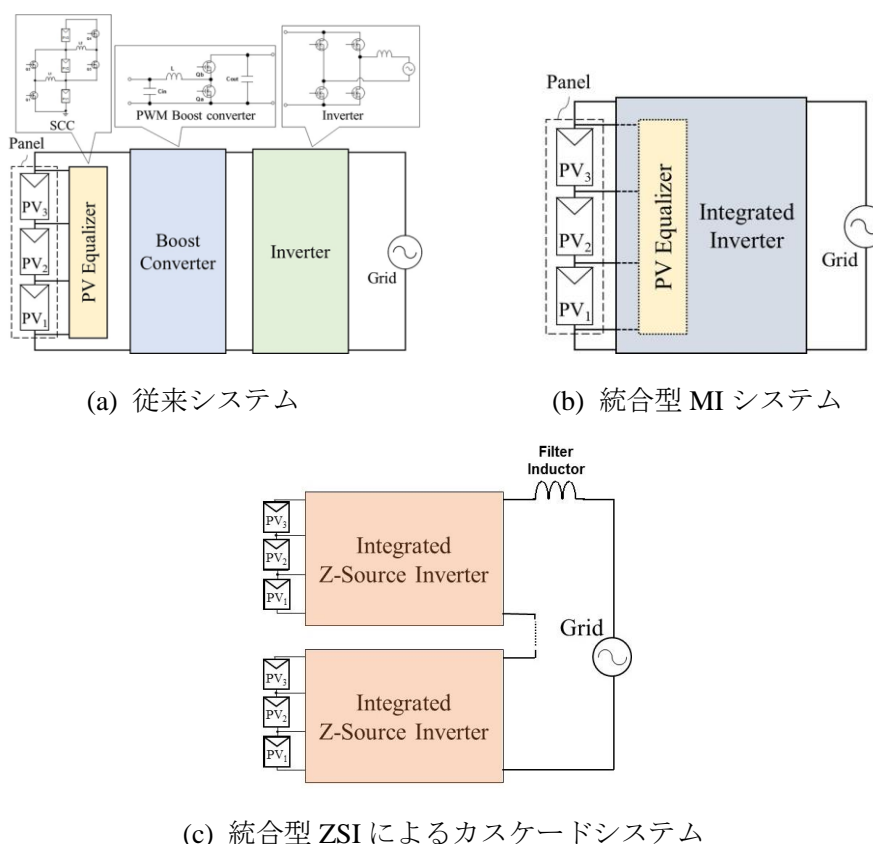


図 1.6 補償器を併用した PV システム

第2章 統合型 MI・カスケードシステム用統合型 ZSI

本章では提案する統合型 MI ならびにカスケードシステム用統合型 ZSI の導出方法、さらに提案方式の主要な特徴について述べる。また統合型 MI とカスケードシステム用統合型 ZSI は類似した回路方式であることから、導出方法については主にカスケードシステム用統合型 ZSI を例に議論する。

2.1 カスケードシステム用統合型 ZSI の導出

提案する統合型 ZSI は、図 1.5(c)に示すダイオードとコンデンサから成る倍電圧整流回路 (VM: Voltage Multiplier) を基礎とした二石式 LLC 共振型倍電圧整流回路 (以下、VM 型補償器) と、図 2.1 に示す qZSI (Quasi-ZSI) から導出される。qZSI は ZSI の派生方式の一種である。

VM 型補償器は自身が補償器として動作するために、矩形波電圧を 2 つのスイッチ Q_H と Q_L で生成している。一方で qZSI は昇圧動作に要求される ST によって、インピーダンスネットワーク (IN: Impedance Network) 内のインダクタに副次的に矩形波電圧が発生する。これは一般的な PWM コンバータに使用されるインダクタの電圧極性がスイッチングによって反転するように、qZSI の IN 内にあるインダクタの電圧極性が ST 時と非 ST 時によって反転するためである。したがって qZSI で発生する矩形波電圧を VM 型補償器の駆動源として利用することで、qZSI と VM 型補償器は 1 台の電力変換器へ集約できる。また qZSI のみならず、その他の ZSI の派生方式においても同様に IN 内のインダクタには副次的に矩形波電圧が生成される。そのため VM 型補償器は qZSI だけでなく、その他の ZSI の派生方式と

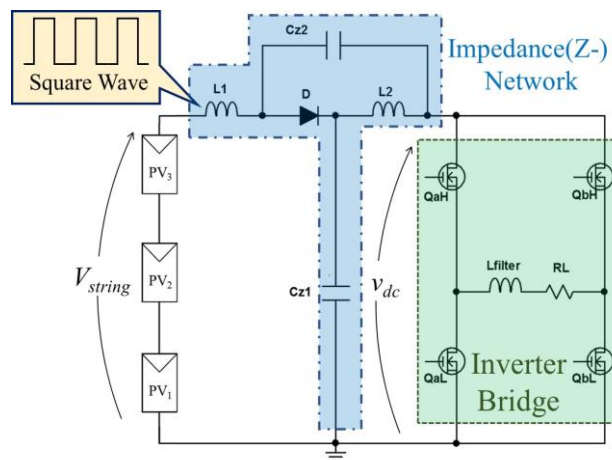


図 2.1 qZSI

も統合が可能である。実際に統合型 MI は qZSI ではなく コンデンサ拡張型 qZSI (CAEB-qZSI: Capacitor-Assisted Extended-Boost qZSI) [3] と VM 型補償器を統合することで導出される。

2.2 カスケードシステム用統合型 ZSI の特徴

提案する統合型 ZSI ならびにカスケードシステムを図 2.2 に示す。この回路は複数台の統合型 ZSI によるカスケード接続を行うことで系統連系を行う。qZSI のインダクタ L_1 をトランスに置き換え、トランス 2 次側に VM を設けている。また図 1.5(c) で用いていた共振コンデンサを取り除いている。2.1 節で述べるように qZSI 内のインダクタにおいて矩形波電圧が副次的に生成される。したがって提案回路においてもトランス 1 次巻線には ST によって矩形波電圧が発生し、それによりトランス 2 次巻線側の VM が駆動する。これにより提案回路は qZSI としての機能 (昇圧・DC-AC 変換) のみならず VM 型補償器としての部分影補償機能を実現する。

VM 型補償器と qZSI を併用するシステムを従来システムとすると、提案回路によって VM 型補償器で使用される矩形波生成用スイッチ (Q_H と Q_L) を削減している。更に qZSI のインダクタ L_1 と VM 型補償器のトランスを共有することで磁性素子数の削減をも実現している。したがって提案回路はシステム内の変換器台数の削減によるシステムレベルの簡素化ならびに低コスト化にとどまらず、回路レベルでの簡素化を実現している。

また後述する統合型 MI とは異なり統合型 ZSI 単体の昇圧比が低いため、低耐圧デバイスの使用が可能になる。高耐圧デバイスはスイッチング速度が遅い、オン抵抗が大きいなど

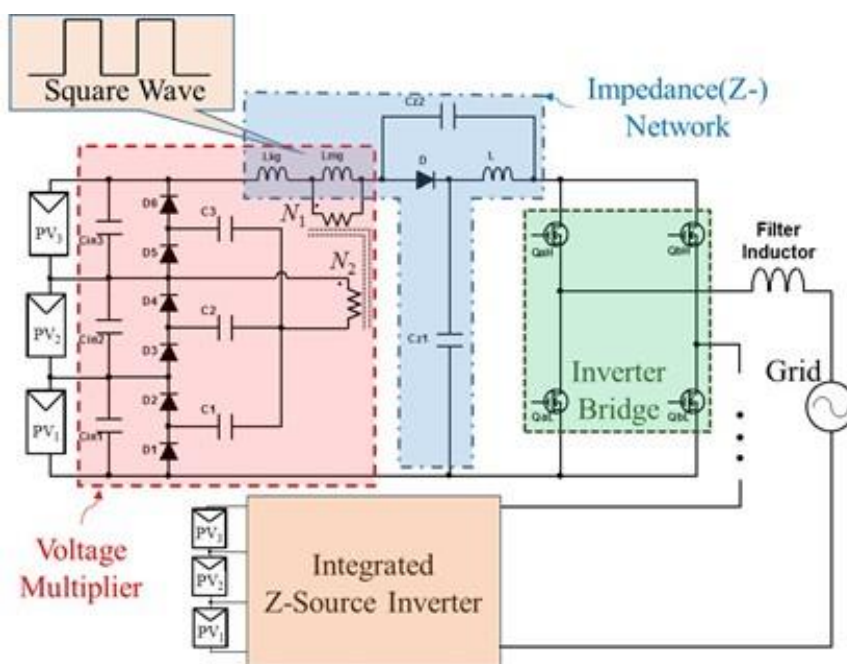


図 2.2 統合型 ZSI を用いたカスケードシステム

の欠点があるため、カスケードシステム用統合型 ZSI の電力変換効率は統合型 MI よりも向上すると考えられる。その一方でカスケード接続を前提としていることから、システム内のパネル数変更にはカスケード接続の直列数に応じて制限がかかる。

さらにカスケードシステム用統合型 ZSI は ST デューティ d_{ST} (スイッチング周期に対する ST 期間の割合) と変調度 M の 2 つの制御自由度を持つ。それぞれの自由度を駆使することで、複数の制御を併用することが可能となり、各機能 (DC-AC 変換・部分影補償・電圧昇圧) をそれぞれ個別に制御することが可能となる。その一方で d_{ST} と M はそれぞれ独立した自由度ではなく、以下に示す条件が存在する。式(2.1)の条件を満たさない場合、出力電圧の高調波含有率 (THD: Total Harmonics Distortion) が悪化する。

$$d_{ST} \leq 1 - M \quad (2.1)$$

2.3 統合型 MI

カスケードシステム用統合型 ZSI を用いず、変換器単体で系統連系を行うには、より高昇圧比を有する ZSI の派生方式を基礎として統合型電力変換器を導出することが望ましい。そこで本研究では統合型 MI (図 2.3) の導出に際し、qZSI よりも高い昇圧比を持つ CAEB-qZSI を基礎とした。CAEB-qZSI はエネルギー蓄積素子が追加された 2 段構成の IN を有しており、qZSI よりも高い昇圧比を実現する。カスケードシステム用統合型 ZSI ならびに統合型 MI の昇圧比はそれぞれ式(2.2)および(2.3)で表される。

$$V_{dc} = \frac{V_{string}}{1 - 2d_{ST}} \quad (2.2)$$

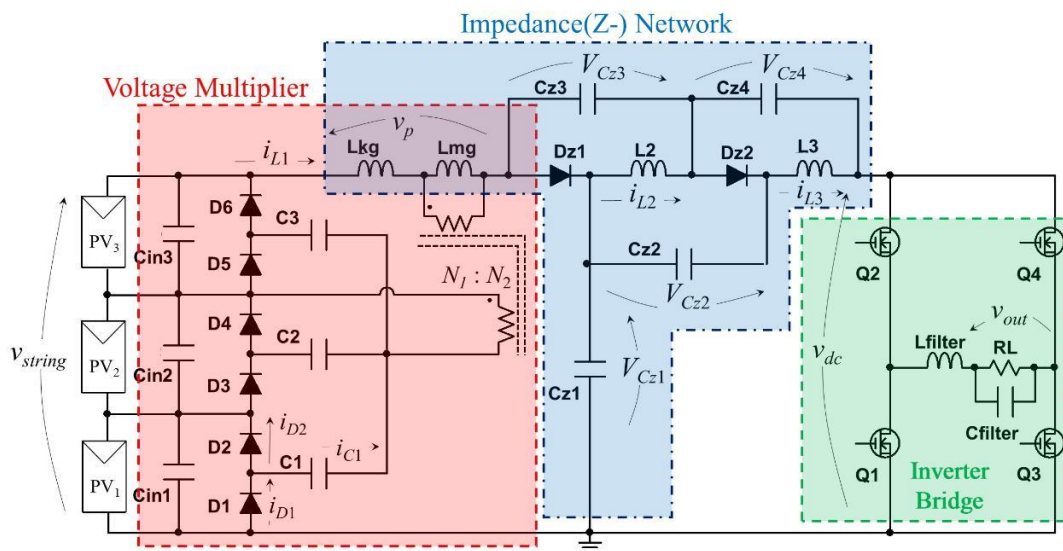


図 2.3 CAEB-qZSI を基礎とした統合型 MI

$$V_{dc} = \frac{V_{string}}{1-3d_{ST}} \quad (2.3)$$

カスケードシステム用統合型 ZSI とは異なり単体での系統連系が可能な統合型 MI は、システム内のパネル数を 1 枚単位で変更することができ、非常に高い拡張性を有している。

2.4 2 倍高調波 (DFR: Double Frequency Ripple)

ここでは PV システムに対して単相の ZSI を採用した際に問題となる DFR について言及する。ZSI では出力電力の瞬時値が時間的に変動するのに対し入力電力は直流であることから、入出力電力の差分を IN 内のコンデンサが吸収する必要がある (図 2.4 参照)。コンデンサの容量が十分でない場合、 v_{out} の 2 倍の周波数の電力リップルが入力側に流入する。PV システムの場合、DFR の影響でパネルの動作点の変動することによる発電量の低下が懸念される。そのため IN 内に使用するコンデンサには DFR を吸収できるよう大容量のコンデンサが要求される。

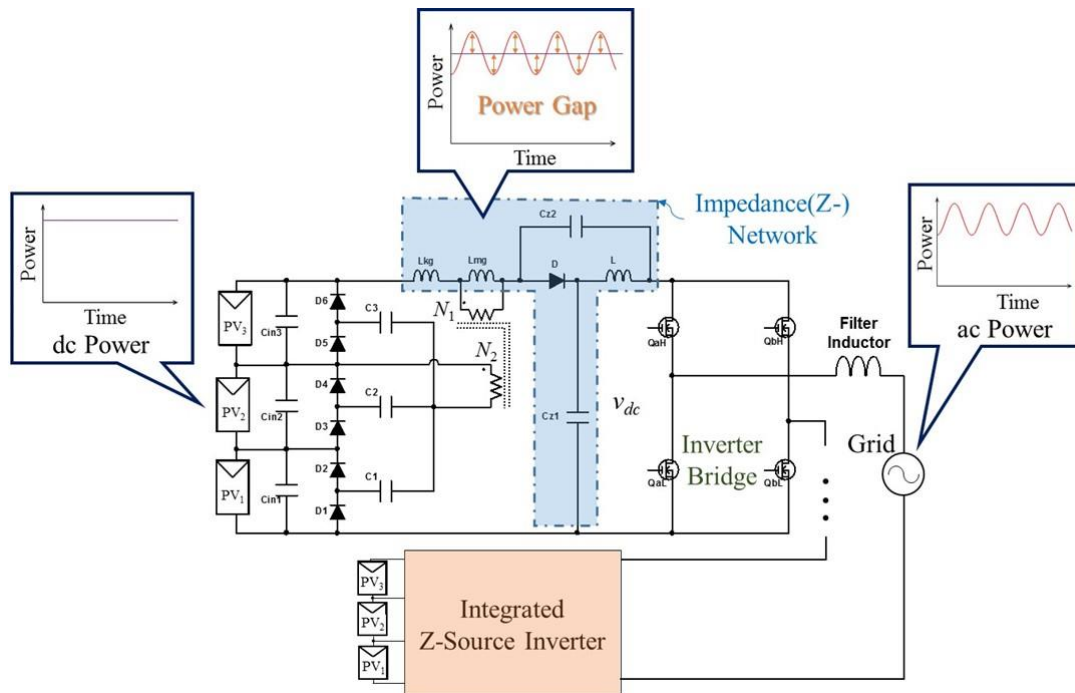


図 2.4 単相 ZSI における各部の瞬時電力

第3章 動作解析

本章ではカスケードシステム用統合型 ZSI の動作解析を実施する。第 2 章と同様、基本的な動作原理がほぼ同様であることから、回路構成がより簡素なカスケードシステム用統合型 ZSI についてのみ詳細な議論を行う。また ST を実現するために ZSI 特有の信号生成方法が提案されているが、本研究では駆動信号の生成法は過去の研究で提案されているものを採用した。そのため本章では信号生成の方法に関する内容は記載せず、それらは補足 A に示す。

3.1 カスケードシステム用統合型 ZSI の動作原理

本節では一般的な 3 サブストリングから成る PV パネルを入力に想定し、カスケードシステム用統合型 ZSI の動作解析を行う。部分影未発生における統合型 ZSI の動作は従来の qZSI と同様であるため、ここでは PV₁ に部分影が発生した際の動作原理について議論する。理論動作波形を図 3.1 に、電流経路を図 3.2(a)、(b)にそれぞれ示す。提案回路の動作モードは大きく分けて 2 種類存在する。

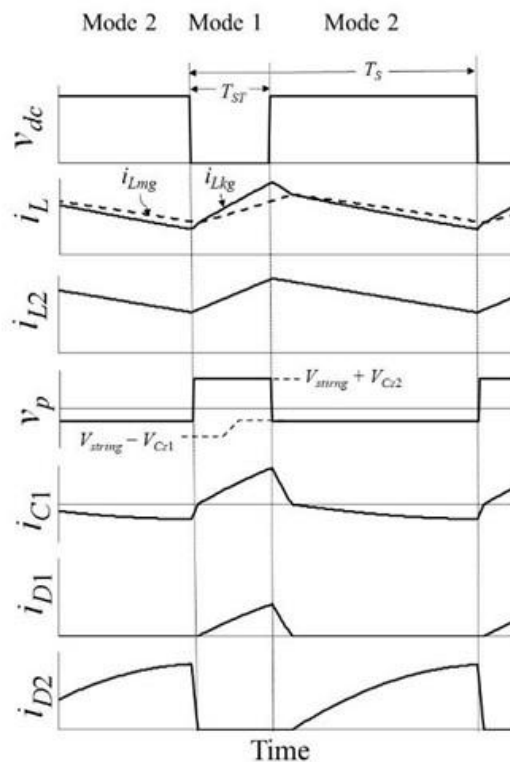
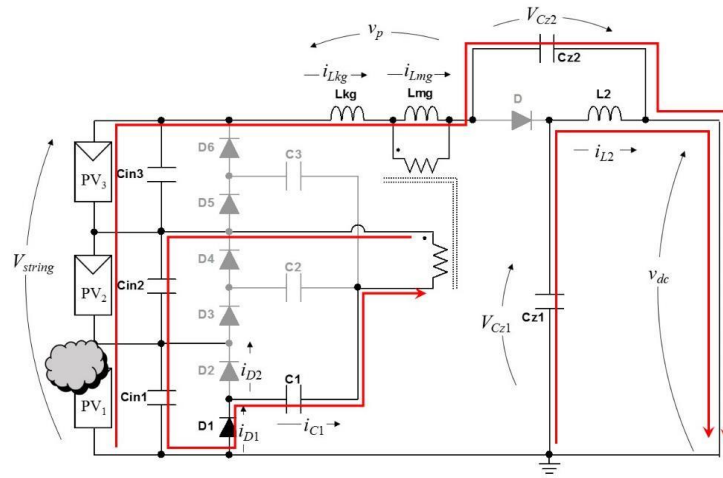
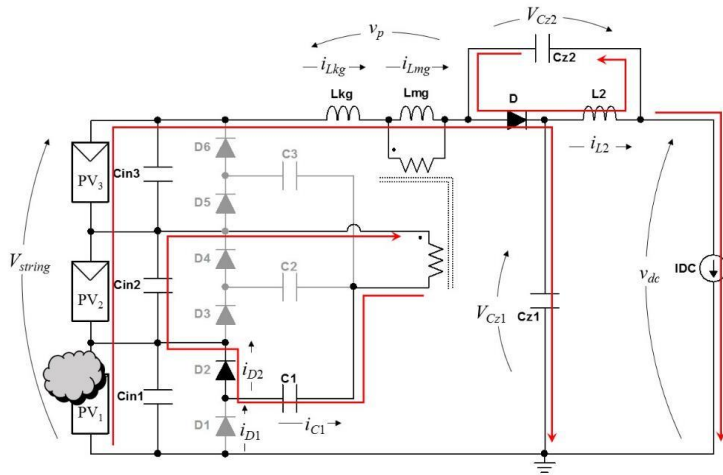


図 3.1 PV₁ に部分影が発生した場合のカスケードシステム用統合型 ZSI の動作波形



(a) Mode 1



(b) Mode 2

図 3.2 PV₁に部分影が発生した場合のカスケードシステム用統合型 ZSI の電流経路

Mode 1 は ST 期間であり、IN が充電される期間に相当する。DC リンク電圧 v_{dc} は ST によりショートされ 0 V となる。IN 内の各素子に注目すると、Mode 1 において各コンデンサ C_{z1} 、 C_{z2} は放電し、トランスの励磁インダクタンス L_{mg} 、漏れインダクタンス L_{kg} 、インダクタ L_2 が充電される。図 3.1 に図示するように、Mode 1 においてトランス 1 次巻線に発生する電圧 v_p は入力電圧 V_{string} と IN 内の C_{z2} の電圧 V_{Cz2} との和に等しく、また v_p は Mode 1 において一定であるため、 L_{mg} に流れる電流 i_{Lmg} と L_2 に流れる電流 i_{L2} は線形的に増加する。その一方で L_{kg} に流れる電流 i_{Lkg} はトランス 2 次巻線、すなわち VM に流れる電流が重畳する。統合型 ZSI における V_{Cz2} は従来の qZSI と同様であるため次式で与えられる。

$$V_{Cz2} = \frac{d_{ST} V_{string}}{1 - 2d_{ST}} \quad (3.1)$$

ここで V_{string} は入力電圧に相当する。

トランス 2 次側に設けた VM 部では、2 次巻線に発生する電圧に対応してダイオード D_1 、カップリングコンデンサ C_1 、平滑コンデンサ C_{in2} に電流が流れる。ST 期間が終了すると Mode 2 に移行する。

Mode 2 では、Mode 1 で IN に充電されたエネルギーが放電される。また IN 内のダイオード D_z が導通することで、 v_{dc} は C_{z1} の電圧 V_{Cz1} と V_{Cz2} の合計電圧となる。したがって統合型 ZSI の非 ST 期間における v_{dc} は V_{Cz1} と V_{Cz2} の和となる。統合型 ZSI の V_{Cz1} は、 V_{Cz2} と同様に従来の qZSI における V_{Cz1} と同様の値となる。したがって、 V_{Cz1} は次式で与えられる。

$$V_{Cz1} = \frac{(1-d_{ST})V_{string}}{1-2d_{ST}} \quad (3.2)$$

また Mode 2 においては v_p の極性が Mode 1 から反転し、その電圧は V_{string} と V_{Cz1} を用いて $V_{string} - V_{Cz1}$ と表せる。この 1 次側の電圧極性の反転に伴い 2 次巻線に電圧が誘起され、VM 部の電流経路が変化し C_1 、平滑コンデンサ C_{in1} および C_{in2} 、ダイオード D_2 に電流が流れる。ST 期間が再開されると再び Mode 1 に移行する。

ここで C_{in2} に流れる平均電流を Mode 1 を含めて考慮すると、 C_{in1} とは異なり平均電流は 0 A となる。すなわち、 C_{in2} に供給される電流の直流成分は 0 A となるため PV₂ (影無しサブストリング) には補償電流は供給されない。

また統合型 ZSI では v_{dc} がインバータブリッジの入力電圧に相当するため、出力電圧 v_{out} は次式で表される。

$$v_{out} = MV_{dc} \sin \omega t \quad (3.3)$$

この式は従来の電圧型インバータの出力電圧の理論式と類似しており、統合型 ZSI においても M を制御自由度として操作可能であることを示している。

3.2 提案回路における VM 部の動作解析

VM 部のカップリングコンデンサ $C_1 \sim C_3$ が直流成分を遮断するため、交流成分にのみ着目すると全サブストリングは並列に接続されているとみなすことができる。また $C_1 \sim C_3$ に接続されているダイオード $D_1 \sim D_6$ ならびに平滑コンデンサ $C_{in1} \sim C_{in3}$ が $C_1 \sim C_3$ を通過した交流を整流する。これにより VM の出力電圧は $C_1 \sim C_3$ に印加される電圧のピーク to ピーク値に等しい直流電圧を全てのサブストリングに印加する。そのため VM は全サブストリングの電圧を均一化できる。

3.1 節の動作解析に示すように、 $C_1 \sim C_3$ に印加される電圧のピーク to ピーク値はトランス 2 次巻線に発生する電圧のピーク to ピーク値と等しい。また提案回路内のトランス 1 次側巻線に発生する電圧のピーク to ピーク値は各動作モードにおける v_p の合計である $V_{dc} (= V_{Cz1} + V_{Cz2})$ となる。そのため統合型 ZSI における VM 部の出力電圧は以下のようになる。

$$V_{VM} = \frac{N_2}{N_1} V_{dc} - 2V_f \quad (3.4)$$

ここで N_1 、 N_2 はそれぞれ VM 内で用いるトランスの 1 次側巻線数および 2 次側巻線数であり、 V_f は VM 内で使用されるダイオードの順方向電圧降下である。式(3.4)より、 V_{dc} は d_{ST} に依存するためカスケードシステム用統合型 ZSI ならびに統合型 MI は ZSI 部の動作が VM 部に影響を与えることがわかる。また VM 内部にはダイオードが使用されているため、影ありサブstringの電圧よりも V_{VM} が高くなければ VM 内のダイオードが補償電流をブロックするため、VM 部は補償器として動作しない。したがって統合型 ZSI が部分影補償器として動作する条件は次式で表される。

$$V_{PV} \leq \frac{N_2}{N_1} V_{dc} - 2V_f \quad (3.5)$$

一方で V_{VM} が影無しサブstringの電圧よりも高い場合、提案回路は影無しサブstringへも無用な電力再分配が行われ、損失につながる。これを防ぐため、本研究では後述する ΔV 制御を導入する。

3.3 統合型 MI の動作原理

IN の段数が異なるため昇圧比は統合型 ZSI と異なるものの、統合型 MI の動作原理は統

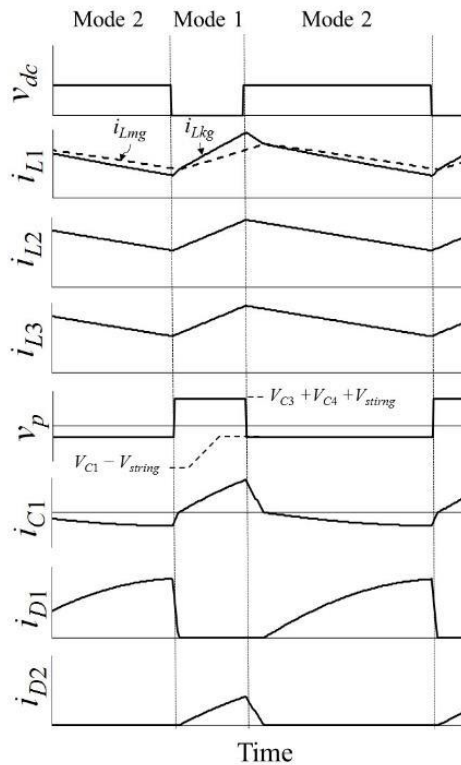


図 3.3 PV₁ に部分影が発生した場合における統合型 MI の動作波形

合型 ZSI と同様である。参考に統合型 MI の動作波形を図 3.3 に示す。図 3.1 と比較すると非常に類似しており、これは前述したように統合型 MI とカスケードシステム用統合型 ZSI の動作原理が基本的に同様であることを示している。統合型 MI の電流経路は特記すべき内容がないことから省略する。

3.4 2つの制御自由度 (d_{ST} 、 M) の併用による二重制御

統合型 MI ならびにカスケードシステム用統合型 ZSI は d_{ST} と M の2種類の制御自由度を有する。この2種類の制御自由度を駆使することで、 v_{dc} と V_{string} をそれぞれ個別に制御することができる。図 3.4 に示すように v_{out} 、 V_{dc} 、 V_{string} がそれぞれ M と d_{ST} で関係付けられている。そのため v_{out} が固定されている場合、 M の変動によって v_{dc} を、また d_{ST} を用いて V_{string} を調節可能である。このことから、統合型 ZSI は後述する V_{dc} の調節により補償器の出力電圧を制御する ΔV 制御と、 V_{string} に摂動を加えてパネルの最適動作点での動作を可能にする MPPT を両立できる。

3.5 ΔV 制御[26]

本節では提案回路の VM 部の V_{VM} を適切に制御する手法について述べる。VM の動作原理より、VM は単純化するとサブストリングに対して並列に接続される出力電圧 V_e が V_{VM} で表される多出力電源と見なすことができる。 V_{VM} が影ありサブストリングよりも低い場合、VM 部は部分影補償器として動作しない (図 3.5(a))。一方で V_{VM} が影無しサブストリングの電圧よりも高い場合、影ありサブストリングのみならず全サブストリングに VM 部が補償電流を供給してしまう (図 3.5(c))。これにより無用な電力再分配が発生するため、提案回

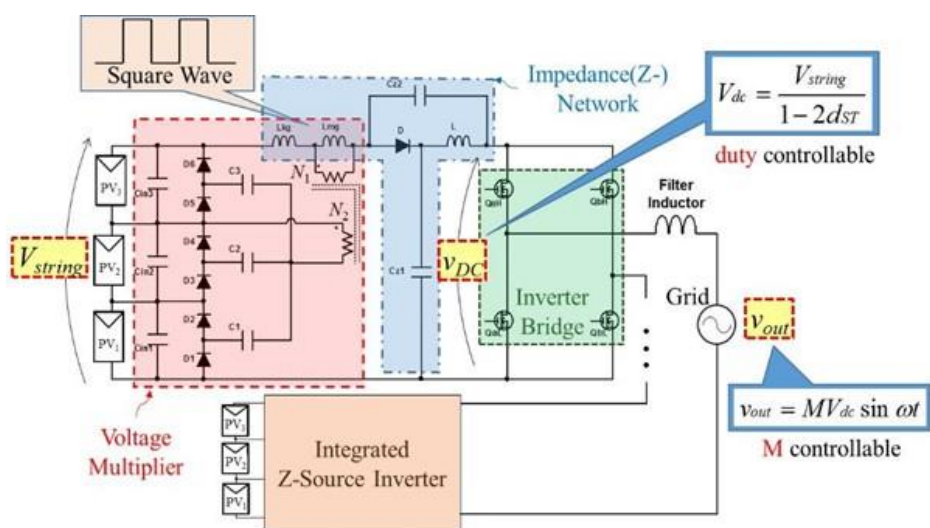


図 3.4 制御自由度と各部電圧の関係性

路は影ありサブストリングにのみ電流を供給する（図 3.5(b)）条件で VM 部を動作させることが望ましい。この要求を実現するのが ΔV 制御である。

ΔV 制御の制御ブロックを図 3.6 に示す。 ΔV 制御は各サブストリングの電圧 $V_{PV1} \sim V_{PV3}$ の電圧差 ΔV が指令値 ΔV^*_{ref} になるように制御する。 ΔV^*_{ref} を適切に決定し、影ありサブストリングと影無しサブストリングの間で電圧差を設けることで、 V_{VM} が影ありサブストリングにのみ補償電流を供給する条件で動作させる。また図 3.6 では V_{dc} の操作量として d_{ST} と M を併記している。3.3 節では M を用いて V_{dc} を制御すると記述しているが、 d_{ST} を操作量として V_{dc} を制御することも可能である。

本制御は統合型 ZSI のみならず、図 3.6 に示す制御ブロックより補償器の出力電圧を 1 つの制御自由度にて制御できる場合には、その他の部分影補償器に対しても採用できる。さらに制御の実装に伴い電圧センサと比較して高価な電流センサを必要としないことから、低コストで実現可能な制御である。

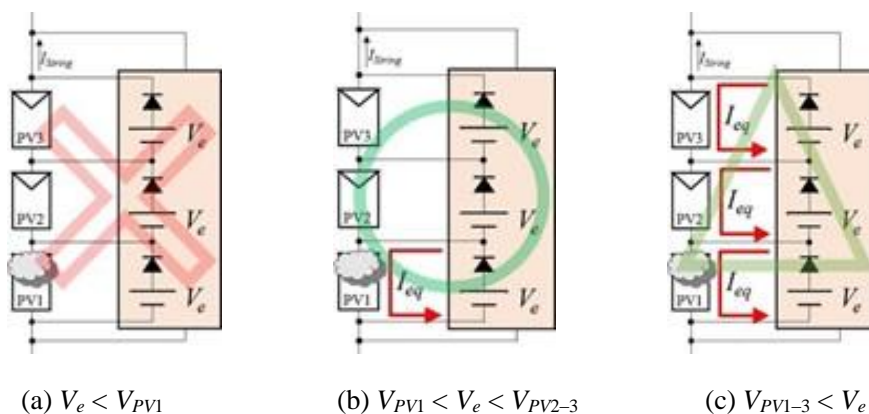


図 3.5 VM 部の各出力電圧における動作モード

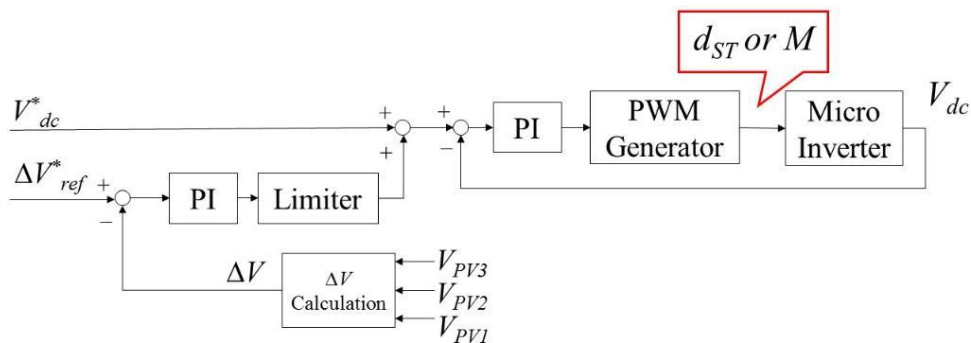


図 3.6 電流センサレス制御 (ΔV 制御) の制御ブロック

第4章 実機検証

本章では統合型 MI ならびにカスケードシステム用統合型 ZSI の実機検証について述べる。実機検証に用いた試作回路の定数や設計法について言及した後、統合型 MI ならびにカスケードシステム用統合型 ZSI の双方で実施した各種実験の結果とその考察を記載する。

4.1 統合型 MI に関する各種実験

4.1.1 統合型 MI の 100 W 試作回路

本節では統合型 MI の試作回路について述べる。試作回路に使用した素子の定数と試作回路の写真をそれぞれ表 4.1 と図 4.1 に示す。回路製作の際は基板製作ソフト EAGLE を用いてプリント基板に銅パターンを配線し、その後に素子を実装した。統合型 MI の配線パターンを補足 B に示す。

各素子の定格電圧および定格電流は、理論的に各素子で発生する最大電圧と流れる最大電流をシミュレーションで確認し、それらを満たす素子を選んだ。 C_{Z1} 、 C_{Z2} やインダクタ L_2 、 L_3 の定数は、先行論文では約数百 μF (μH) ~ 数 mF (mH) であった。詳細設計にはコンデンサの許容リップル電圧、インダクタのリップル電流、DFR などを考慮する必要がある。本研究では試作回路による有用性検証を第一に考え、詳細な設計を実施せず先行論文に近い値を持つ素子を使用した。トランスは巻線数やインダクタンスなどを考慮して自作した。巻数比は系統連系を想定した際 ($v_{out} = 100 \text{ V}_{ac}$) に要求される V_{dc} が 210 V であることから、 $V_{VM} = (N_2/N_1) \times V_{dc} = (2/32) \times 210 = 13.2 \text{ V}$ となるように設計した。

表 4.1 統合型 MI に用いた素子の定数表

	Component	Type or Model Number	Value	Voltage Rating	Current Rating
Voltage Multiplier	$C_{in1}-C_{in3}$	Ceramic Capacitor	300 μF	16 V	
	C_1-C_3	Ceramic Capacitor	300 μF	16 V	
	D_1-D_6	Schottky Diode, CMS04	$V_D = 0.3 \text{ V}$	30 V	5.0 A
	Transformer (L_1)	$N_1:N_2 = 32:2$	$L_{kg} = 8.3 \mu\text{H}$ $L_{mg} = 271 \mu\text{H}$		
CAEB-qZSI	$C_{Z1}-C_{Z4}$	Aluminum Electrolytic Capacitor	1000 μF	80 V	
	L_2, L_3	Inductor	330 μH		4.0 A
	C_{filter}	Ceramic Capacitor	1 μF		
	L_{filter}	Inductor	1.6 mH		4.0 A
	Q_1-Q_4	FDA24N50, $R_{on} = 0.19 \text{ ohm}$		500 V	26 A
	Gate Driver	IRS2186			
	D_{z1}, D_{z2}	Schottky Diode, BYV29-500	$V_D = 1.4 \text{ V}$	500 V	9.0 A
	C_{in-Ext}	Aluminum Electrolytic Capacitor	660 μF	50 V	

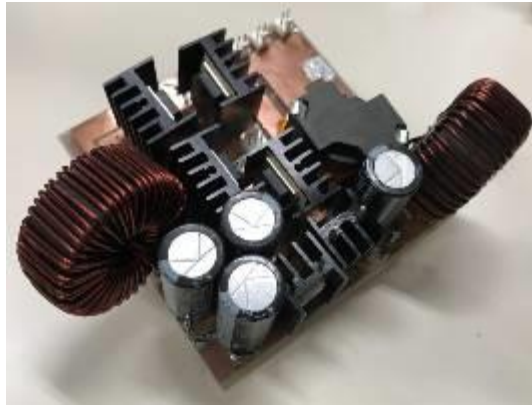


図 4.1 試作した統合型 MI (100 W プロトタイプ)

またスイッチの駆動用 IC であるゲートドライバ (GD: Gate Driver) は IRS2186 を使用した。ZSI に使用できる GD は ST を実現するために、レグを構成するスイッチの同時オンが可能なタイプに限られる。汎用 PWM コンバータを始めとするスイッチング電源の多くは、レグのショートが発生すると入力電圧源がショートされることで大電流が流れ、回路が破損する。そのため回路の破損防止を目的に、自動的にデッドタイム (レグを構成するスイッチの両方がオフとなる期間) を生成する GD が存在する。しかし、自動でデッドタイムを生成する GD は ZSI には不適であるため、レグのショートが可能な IRS2186 を用いた。

また本実験ではデジタルシグナルプロセッサ (DSP: Digital Signal Processor, TMS320F28335, Texas Instruments) を用いて各種制御を実現した。DSP 用プログラムの生成には Sim-Coder を使用した。これはシミュレーションソフト PSIM 内で製作した制御ブロックをプログラムとして出力できるソフトである。以降では Sim-Coder がプログラムとして出力する制御ブロックのみを示す。

4.1.2 VM の出力 I - V 特性

本項では、統合型 MI における VM 部の出力 I - V 特性の測定実験について述べる。実験の目的は VM 部の出力 I - V 特性から補償器としての性能を評価することに加え、式(3.5)の妥当性を示すことにある。

実験系を図 4.2 に示す。36 V (入力に想定したパネルの MPP 電圧) の定電圧源を用い、可変抵抗 R_{var} を C_{in1} に接続した。これにより PV_1 に部分影が発生した際の電流経路を模擬できる。実験では R_{var} の値を変更しつつ、 C_{in1} の電圧 V_{Cin1} と R_{var} に流れる電流 I_{Rvar} を測定した。

次に実験時に用いた制御について述べる。Sim-Coder がプログラムとして出力する制御ブロックを図 4.3 に示す。オープンループ制御を採用し、 $d_{ST} = 0.28$ 、 $M = 0.71$ で実験を行った。また図 4.3 内には「Limiter」と名の付いたブロックが存在する。これは式(2.1)に従って M と d_{ST} を調節することで v_{out} の THD を抑制するブロックである。内容は補足 C にて示す。

実験結果を図 4.4 に示す。 V_{Cin1} が 13.5 V より低い領域では、 I_{Rvar} が増加するのに伴い V_{Cin1} が減少しており、その関係はほぼ比例的である。この時の V_{dc} は 220 V であった。13.5 V を

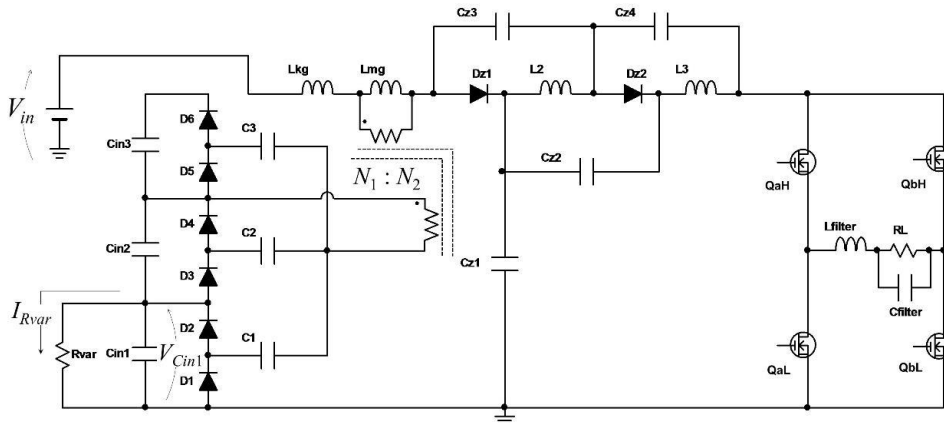


図 4.2 VM 部の出力 I - V 特性測定に用いた実験系

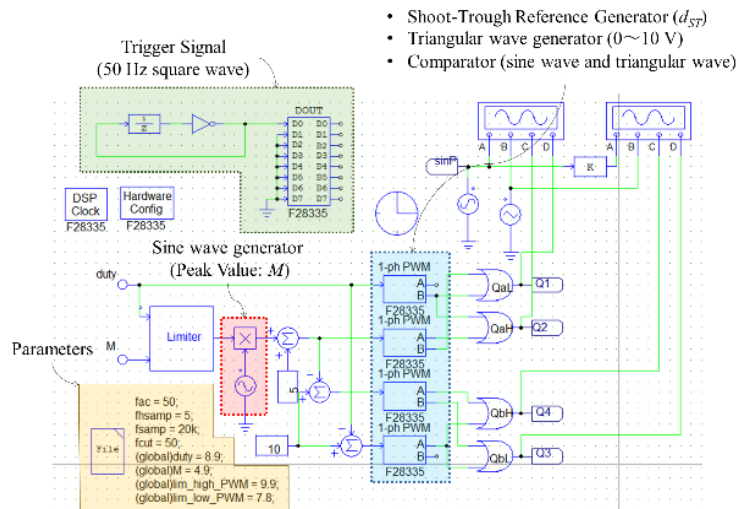


図 4.3 制御ブロック A

境に I_{Rvar} が流れ始めているが、表 4.1 の素子定数と実験時の V_{dc} を考慮すると、式(3.5)に沿った領域でのみ I_{Rvar} が流れたため、式(3.5)の妥当性が確認できた。

次に出力等価抵抗 R_{eq-out} を算出した。これは VM 部の補償器としての性能を評価する指標で、補償時において影の程度に応じて各サブストリング間で、電圧差が何 V 残存するかを示している。 R_{eq-out} は線形的に I_{Rvar} が増加している領域において傾きの逆数として算出され、図 4.4 に示すように 1.08Ω となった。これは補償電流を 1 A 流した際に、VM 部で電圧降下が約 1 V 発生することを示している。

4.1.3 部分影補償実験

本項ではパネルの模擬装置であるソーラーアレイシミュレータ (SAS: Solar Array Simulator; E4360A, Agilent Technologies) を用いて、部分影の悪影響を統合型 MI により解消

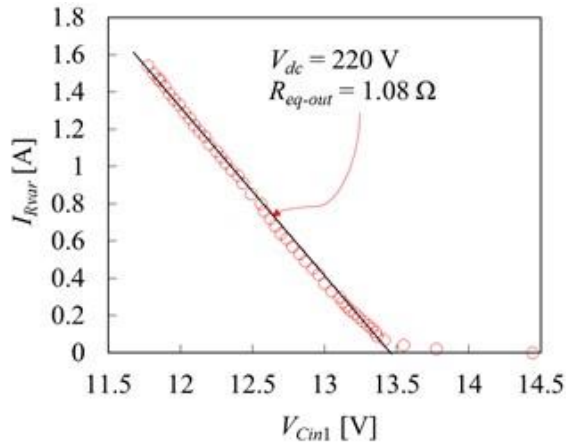


図 4.4 VM 部の出力 I - V 特性

可能かを検証する。本実験の目的は統合型 MI の 3 種の機能（DC-AC 変換・電圧昇圧・部分補償機能）の有用性の実証である。

実験時に用いた制御について、Sim-Coder によって DSP に出力される制御ブロックを図 4.5 に示す。 ΔV 制御を採用しており、非 ST 期間における v_{dc} ($= V_{dc}$) をフィードバック値に使用する。そのため実験時にはピークホールド回路（補足 D）を用いて V_{dc} を常時 DSP にフィードバックした。一方でピークホールド回路では、ピークホールド回路内のコンデンサに蓄えたエネルギーが消費されるため損失につながる。この損失を削減するため、Sim-Coder により DSP のフィードバックタイミングを非 ST 期間に限定することでピークホールド回路を使用せずに ΔV 制御が実現できる方法を考案した。しかしフィードバックタイミングを調節したところ、DSP から統合型 MI の駆動用信号が出力されなくなった。統合型 MI と接続していない際にも同様の不具合が発生したため、この不具合は試作回路とは無関係である。さらに PSIM 内では正常にフィードバックタイミングを制御しつつ信号が出力できることを確認したため、制御ブロックそのものは正しいと考えられる。したがって不具合の原

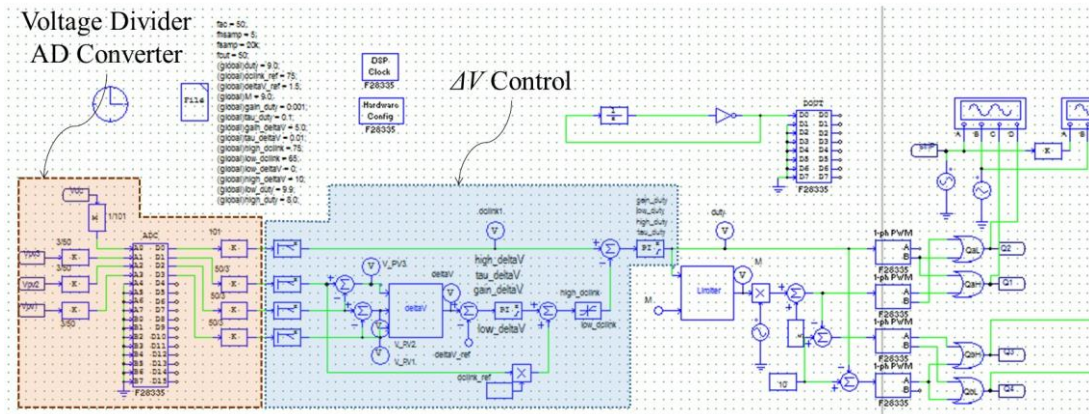


図 4.5 制御ブロック B

因は Sim-Coder のバグだと考えられる。

ΔV 制御にて設定した ΔV^*_{ref} は 2.0 V とし、 V_{dc} を制御するために操作したのは d_{sr} である。また図 4.5 内に「delta V」というサブブロックが存在するが、これは各サブストリングの電圧計測結果に基づき電圧差を出力するサブブロックである。このサブブロックは制御ブロック図を簡素にするため用いた。サブブロック内部を補足 E に示す。

次に実験に用いた部分影補償器を適用していない場合の各サブストリングの $I-V$ 特性を図 4.6 に示す。部分影により PV_1 の短絡電流が約 60% 低下した状況を想定した。

実験結果を図 4.7 に示す。部分影補償を行わない場合、最大抽出可能電力は $V_{string} = 24$ V の際に 20 W であり、また複数の MPP が発生した。その一方で補償を行った場合における最大抽出可能電力は $V_{string} = 36$ V の時に 25 W まで向上した。さらに補償を行わない場合に存在していた複数の MPP が消失し、1 点に収束した。以上の結果から統合型 MI の部分影補償機能の有用性が示された。

また、補償を行った場合の各サブストリングの MPP における ΔV は約 1.5 V であり、 $\Delta V = 2.0$ V とならなかった。これは実験の際に各サブストリングの電圧を計測した位置と、 ΔV 制御を実現するために測定していたフィードバック用のサブストリング電圧の計測位置が離

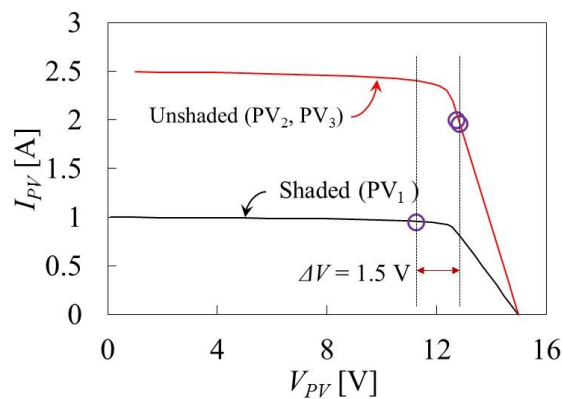


図 4.6 各サブストリングの $I-V$ 特性

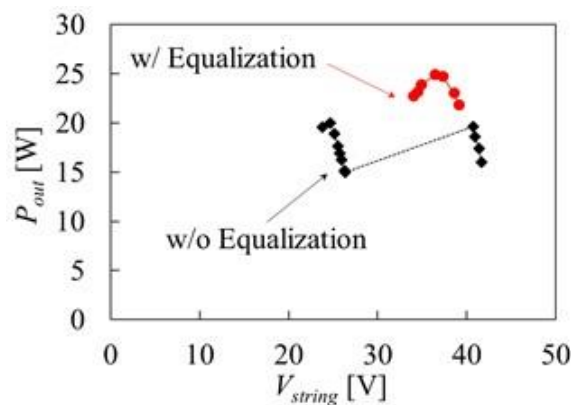
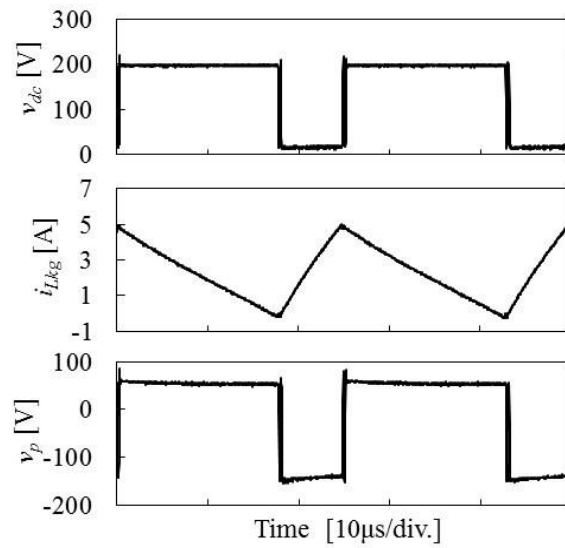
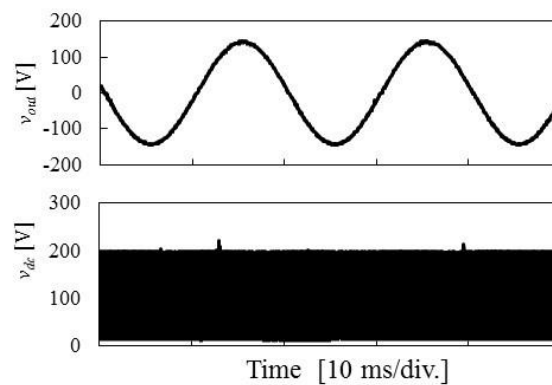


図 4.7 補償有無における出力 $P-V$ 特性の比較



(a) 主要な実機動作波形



(b) v_{dc} 、 v_{out}

図 4.8 MPP にて取得した実機動作波形

れていたことにより、配線抵抗による電圧降下があったことや、抵抗分圧器における抵抗値の誤差が影響したと考えられる。したがって ΔV^*_{ref} と ΔV の誤差は ΔV 制御の実装時に発生した問題により引き起こされたと考えられ、誤差は配線長やフィードバック電圧の計測位置を変更することで小さくなると考えられる。

次に本実験で補償を行った際の MPP における動作波形を取得した。取得した動作波形を図 4.8(a)、(b)に示す。トランス 1 次側電流 i_{Lkg} が増加している期間が ST 期間であるが、理論動作波形とは異なり図 4.8(a)では i_{Lkg} に 2 次側電流が重畳している様子が観察できなかった。しかし図 4.7 の実験結果から補償器として動作していることは明らかであるため、 i_{Lkg} の電流リップルにトランス 2 次側電流の重畳分が隠れてしまい、理論波形のような明らかな重畳が観察できなかったと考えられる。

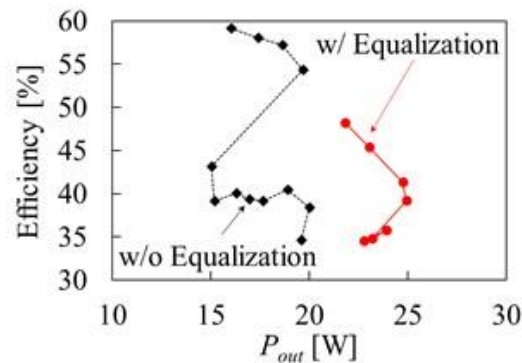


図 4.9 部分影補償実験時における電力変換効率

図 4.8(b)は時間スケールを大きくした v_{dc} と v_{out} の実機動作波形である。図 4.8(b)に示す v_{dc} は図 4.8(a)の繰り返し波形であるため、 v_{dc} の変動が確認できない波形となった。一方で v_{out} は $100 V_{ac}$ となったため、試作回路は系統連系に十分な v_{out} を出力できることを示した。

さらに補償実験の際における電力変換効率を図 4.9 に示す。電力変換効率は補償を行った際の MPP にて約 40% となった。第 3 章で述べたように、統合型 MI の試作回路にて高耐圧デバイスを使用したことが、補償実験における電力変換効率の低さに影響を及ぼしたと考えられる。

4.2 カスケードシステム用統合型 ZSI に関する各種実験

4.2.1 カスケードシステム用統合型 ZSI の 180 W 試作回路

カスケードシステム用統合型 ZSI の試作回路に使用した素子の定数表と回路の写真を表 4.2 と図 4.10 それぞれに示す。また 4.1.1 項と同様に配線パターンを補足 F に示す。

3 台の変換器のカスケードシステムによる系統連系を想定したため、 v_{out} は $34 V_{ac}$ を想定している。そのため統合型 MI と比較して耐圧の低いスイッチ $Q_1 \sim Q_4$ を選定した。なおレグにはスイッチの破損を防ぐため、サージ電圧を吸収するスナバ回路を接続した。使用したのはコンデンサと抵抗を直列接続した RC スナバである。

一方でダイオード D_z は、統合型 MI と同じ型番の素子を使用した。図 3.2(a)、(b)の電流経路から、 D_z は動作モードに応じて導通、非導通を繰り返すことがわかる。つまり D_z にはパルス状の電流が流れる。 D_z を含む電流経路の配線が長く寄生インダクタンスが存在した場合、電流変化の速度 (di/dt) に応じたスパイク電圧 ($v = L_p (di/dt)$ 、 L_p は配線の寄生インダクタンス、 i_L は寄生インダクタンスが存在する経路に流れる電流) が D_z に発生する。統合型 ZSI の場合、 D_z に印加される理論的な最大電圧は V_{dc} に等しい。一般にスイッチング電源では理論耐圧の 3 倍程度の電圧定格を持ったスイッチング素子を使用する。想定した V_{dc} の最大値は $100 V$ であるため D_z の電圧定格は $300 V$ で十分であるはずだが、 L_p により $300 V$ 以上の耐圧を有する D_z が実機においては必要となった。

表 4.2 カスケードシステム用統合型 ZSI に用いた素子の定数表

	Component	Type or Model Number	Value	Voltage Rating	Current Rating
Voltage Multiplier	$C_{in1}-C_{in3}$	Ceramic Capacitor	47 μF	25 V	
			100 $\mu\text{F} \times 2$	16 V	
	C_1-C_3	Ceramic Capacitor	47 $\mu\text{F} \times 5$	25 V	
	D_1-D_6	Schottky Diode, CMS04	$V_D = 0.3 \text{ V}$	30 V	5.0 A
	Transformer (L_1)	$N_1:N_2 = 22:5$	$L_{kg} = 4.9 \mu\text{H}$ $L_{mg} = 73.9 \mu\text{H}$		
qZSI	C_{Z1}	Ceramic Capacitor, ESR = x m Ω Aluminum Electrolytic Capacitor, ESR = 20 m Ω	10 $\mu\text{F} \times 6$	100 V	
			1000 $\mu\text{F} \times 2$	80 V	
	C_{Z2}	Ceramic Capacitor, ESR = x m Ω Aluminum Electrolytic Capacitor, ESR = 62 m Ω	10 $\mu\text{F} \times 6$	50 V	
			470 μF	100 V	
	L_2	Inductor, ESR = 100 m Ω	330 μH		4.0 A
	C_{filter}	Film Capacitor	0.1 μF		
	L_{filter}	Inductor	580 mH $\times 2$		4.0 A
	Q_1-Q_4	FDS86240, $R_{on} = 19.8 \text{ m}\Omega$		150 V	7.5 A
	Gate Driver	IRS2186			
	D_2	Schottky Diode, BYV29-500	$V_D = 1.4 \text{ V}$	500 V	9.0 A

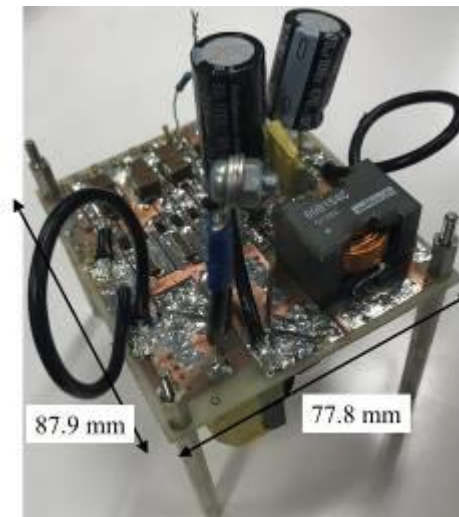


図 4.10 カスケードシステム用統合型 MI (180 W プロトタイプ)

また IN 内に使用される C_{Z1} 、 C_{Z2} には統合型 MI とは異なりアルミ電解コンデンサとセラミックコンデンサを併用した。それぞれのコンデンサの等価直列抵抗が最小となる周波数が異なることから、複数種類のコンデンサの並列接続によって広範な周波数領域にて良好な周波数特性を得るためである。

4.2.2 統合型 ZSI の電力変換効率の測定 (部分影未発生時)

統合型 MI と比較した際にカスケードシステム用統合型 ZSI の電力変換効率向上を確認するため、部分影無しの場合における電力変換効率を測定した。入力に 36 V の定電圧源を用い、出力電圧を 34 V_{ac} に固定した。この状態で負荷を変動させつつ、入出力電流/電圧を測定した。VM 部の損失を除いて ZSI 単体の効率を測定するため、VM 部を切り離れた。

本実験では図 4.3 の制御ブロックを用いた。ただし統合型 MI の出力 I - V 特性取得時とは異なり、 v_{out} 固定のために d_{ST} と M を随時調節した。これは重負荷になるにつれてジュール損が増大し、それに伴う電圧降下によって d_{ST} が固定値の場合 v_{out} を一定値に維持できなくなるためである。

実験結果を図 4.11 に示す。出力電力 $P_{out} = 150$ W 時における電力変換効率は 82.3% であり、図 4.9 の統合型 MI と比較してカスケードシステム用統合型 ZSI は高効率であることがわかる。25 W~30 W 付近で効率が一旦向上した後に再び低下しているが、この領域を境にトランスとインダクタの電流 i_{Lkg} 、 i_{L2} がスイッチング周期毎に 0 A となる電流不連続モードから、 i_{Lkg} と i_{L2} が常に正となる電流連続モードへ移行したことが原因と考えられる。

次に効率測定時に発生した損失 P_{loss} ($= P_{in} - P_{out}$) を図 4.12 に示す。出力電力の増加に対して回路内で発生した損失が線形的に増加している。効率測定時は V_{string} 、 v_{out} を固定して実験を行っているため、試作回路で発生する損失は電流に比例する損失が支配的であることを意味している。電流に比例する損失として、ダイオード D_z にて発生する導通損 ($P = IV_f$)

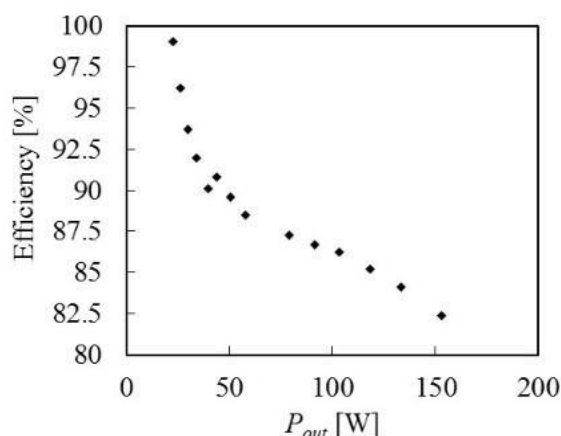


図 4.11 部分影無し時における電力変換効率

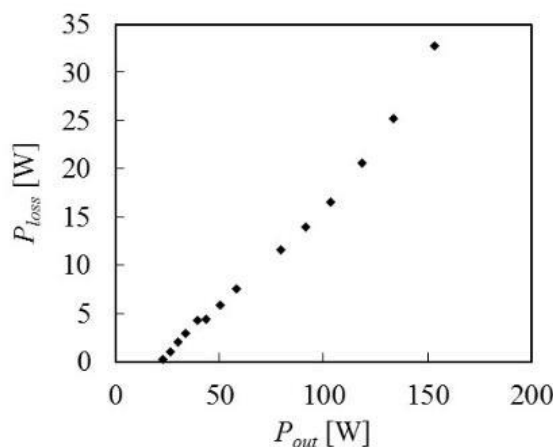


図 4.12 部分影未発生時において発生した P_{loss}

やスイッチング損失が挙げられる。

4.2.3 VM 部の出力 I - V 特性

カスケードシステム用統合型 ZSI における VM 部の出力 I - V 特性を取得した。実験系を図 4.13 に示す。また統合型 MI における VM 部の出力 I - V 特性取得時においては d_{ST} を固定したが、本実験では $d_{ST} = 0.15, 0.2, 0.25$ で変化させた。その他の方法は 4.1.2 項と同様である。本実験の目的は統合型 MI と同様に式(3.5)の妥当性を検証することに加え、 d_{ST} の変動が R_{eq-out} に与える影響を確認することにある。

実験結果を図 4.14 に示す。各 d_{ST} において I_{Rvar} が流れ始める電圧 V_{Cin1} が変動し、 $d_{ST} = 0.15, 0.2, 0.25$ それぞれの場合において $V_{dc} = 49 \text{ V}, 58 \text{ V}, 67 \text{ V}$ であった。トランスの巻数比やダイオード $D_1 \sim D_6$ の V_f を考慮すると、補償電流が流れ始める V_{dc} が式(3.5)と一致した。それに加えて R_{eq-out} (算出法は 4.1.2 項と同様) が V_{dc} に応じて変動した。さらに V_{dc} が高いほど R_{eq-out} は小さくなったため、 V_{dc} の d_{ST} に対する依存性が示された。

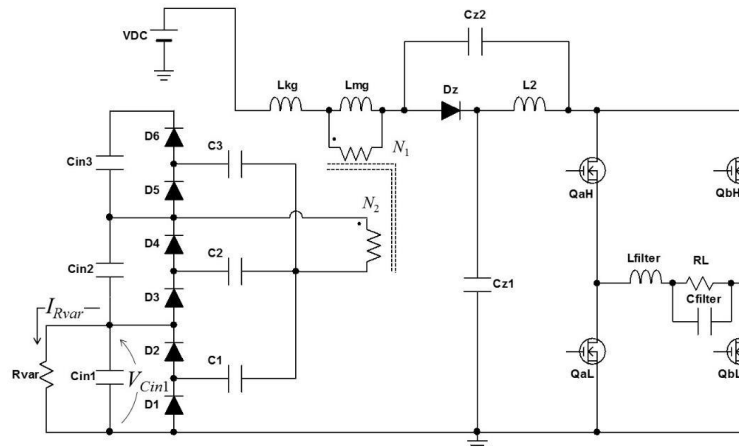


図 4.13 VM 部の出力 I - V 特性測定に用いた実験系

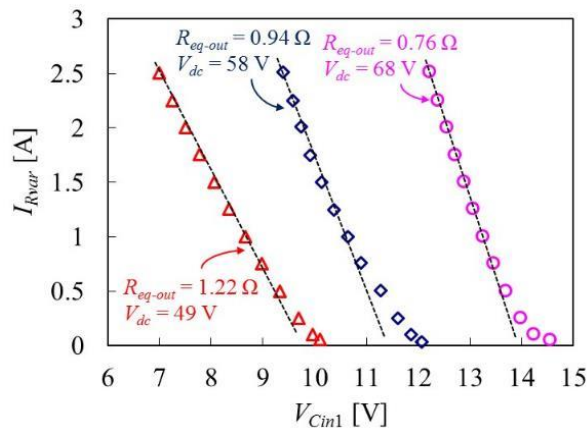


図 4.14 VM 部の出力 I - V 特性

4.2.4 部分影補償実験

本項では 4.1.3 と同様に、提案回路の有効性を確認するために部分影補償実験を行った。SAS を用いて模擬した部分影補償器を適用する前の各サブストリングの $I-V$ 特性を図 4.15 に示す。部分影の発生により短絡電流が 2 A 低下した状況を想定した。また 4.1.3 と同様に ΔV 制御を採用し、操作量には d_{ST} を使用した。 ΔV 制御にて設定した ΔV^*_{ref} は影あり/無しサブストリングにおける MPP の電圧差が約 2 V であることから、 $\Delta V^*_{ref} = 2.0$ V とした。使用した制御ブロックは図 4.5 と同一である。

実験結果を図 4.16 に示す。補償を行わない場合の最大抽出可能電力は 85.9 W であり、また複数の MPP が出現した。それに対し部分影補償を行うことで抽出可能電力は 110 W まで向上し、さらに MPP は 1 点に収束した。また補償を行った際の MPP にて各サブストリングの電圧差が 2 V となったことから、試作回路を ΔV 制御で制御可能であることが示された。

次に補償時における MPP にて取得した実機の動作波形を図 4.17 に示す。図 4.17(a) の主要な動作波形と第 3 章で示した理論動作波形を比較すると、実機動作波形の i_{Lkg} にて L_{kg} と C_1 による共振が観察できるものの良い一致を示したことから、試作回路が想定通り動作したことが示された。図 4.17(b) は v_{dc} と v_{out} であり、 $V_{string} = 36$ V に対し $V_{dc} = 60$ V、 $v_{out} = 32$ V_{ac}

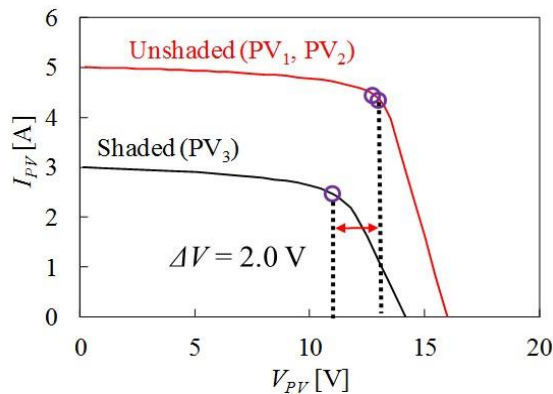


図 4.15 各サブストリングの $I-V$ 特性

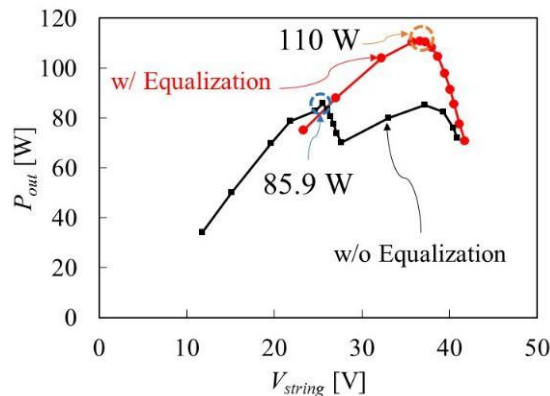
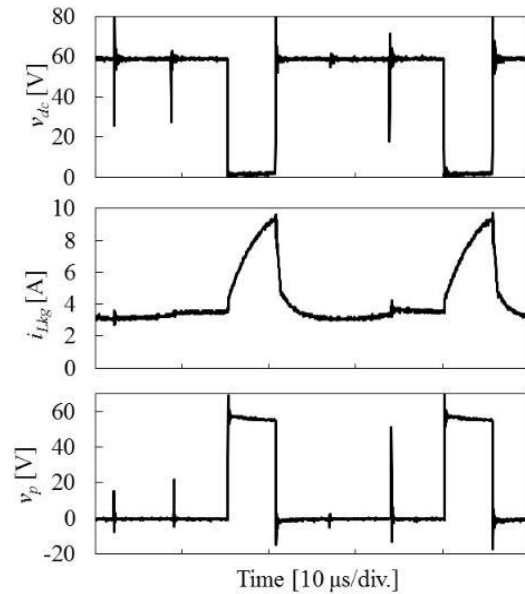
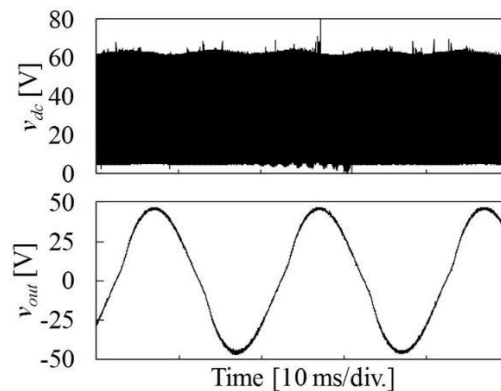


図 4.16 補償有無における出力 $P-V$ 特性の比較



(a) 主要な実機動作波形



(b) v_{dc} 、 v_{out}

図 4.17 MPP にて取得した実機動作波形

となったため、 V_{string} に対して V_{dc} と v_{out} が昇圧されたことを確認した。以上の結果からカスケードシステム用統合型 ZSI が、統合型 MI よりも高効率で DC-AC 変換・部分影補償・電圧昇圧を実現できることが示された。

4.2.5 MPPT 実験（部分影未発生時を想定）

ここではカスケードシステム用統合型 ZSI を用いて MPPT 実験を行った結果を示す。本実験の目的は統合型 ZSI が持つ 2 つの制御自由度である d_{ST} と M を用いて、 V_{string} と V_{dc} を個別に制御できるかを確認することである。部分影が発生した状況において MPPT を行う場合、制御が非常に複雑になるため、本実験では簡単のため部分影が発生していない状況を想定した。

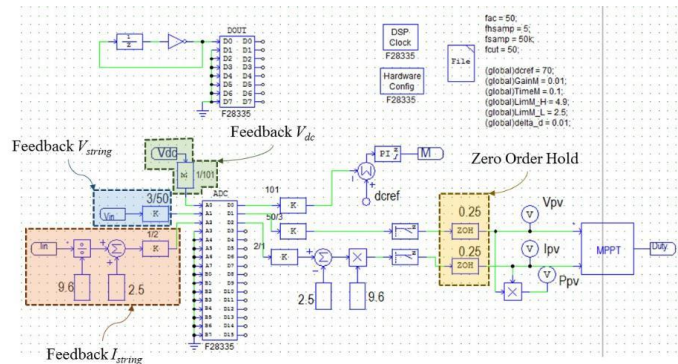


図 4.18 制御ブロック C

実験時に使用した制御ブロックを図 4.18 に示す。部分影未発生時を想定しているため ΔV 制御は採用せず、 V_{string} と入力電流 I_{string} 、さらに V_{dc} を DSP にフィードバックさせた。 V_{string} と I_{string} は入力電力 P_{string} の計算に用いている。また 0 次ホールド機能を使用して V_{string} と I_{string} を一定時間保持した。0 次ホールドの周期は、MPPT の際にパネル電圧が変動する周期（サンプリング周期）に等しい。今回の実験ではサンプリング周期を 4 秒とした。

V_{dc} はトランスの巻数比を考慮すると統合型 ZSI における VM 部の出力電圧に等しい。そのため MPPT によって V_{string} が変動した際にも V_{dc} を一定とすることができれば、補償器としての性能を MPPT と無関係に制御できる。本実験では M を操作することで V_{dc} が一定となるように制御する。また M の操作により V_{dc} が一定であれば、 d_{ST} を操作することで V_{string} を制御できる。本実験では V_{dc} の目標電圧を 60 V とした。

図 4.18 内に「MPPT」というサブブロックが存在するが、これは汎用的な MPPT アルゴリズムである山登り法を記述したサブブロックである。山登り法は汎用的なアルゴリズムであるため内容の説明は省略するが、参考にサブブロック内部を補足 G に示す。

実験結果を図 4.19 に示す。測定を始めてから 250 秒後までの V_{string} 、 v_{dc} 、 P_{string} をそれぞれ示している。測定開始から 20 秒後に V_{string} が急上昇しているが、これは統合型 ZSI に入力電源を投入した際に、あらかじめ決定した d_{ST} の最低値に応じて入力が供給する電力と負荷が要求する電力のバランスがとれる値に V_{string} が決定されるからである。その後 MPPT 制御のアルゴリズムに従って P_{string} が想定した最大電力 (85 W) となるよう V_{string} が変化した。測定開始から 100 秒経過後、 P_{string} が最大化され、測定開始から 250 秒が経過するまで P_{string} がほぼ同様の値となり続けたため、MPPT の正常動作が確認できた。

次に V_{dc} に注目すると、電源投入後から実験終了まで若干の変動は観察されたものの、ほぼ目標値として設定した 60 V となった。 V_{dc} の変動は V_{string} の変動とは無関係であったことから、DFR を吸収しきれず V_{Cz1} 、 V_{Cz2} が変動した影響だと考えられる。そのため M を操作することで V_{dc} を一定に制御できたと判断できる。

以上の結果から、統合型 ZSI は M と d_{ST} により V_{dc} と V_{string} を独立に制御できることが示された。これは影発生時において ΔV 制御と MPPT が両立可能であることを示唆している。

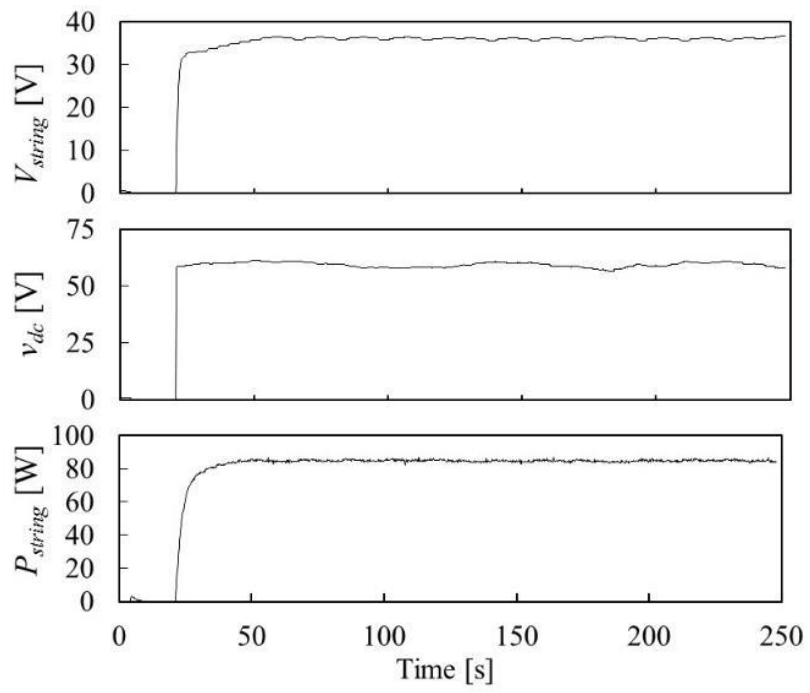


図 4.19 部分影未発生時における MPPT 実験の結果

第 5 章 結論

本研究では MI を基礎とした PV システムの簡素化を目的に、単体での電圧昇圧が可能な ZSI と部分影補償器の 1 種である VM 型補償器の回路素子を共有し、素子数を削減しつつ 1 台に集約した統合型 MI ならびに複数台変換器のカスケード接続によるカスケードシステム用統合型 ZSI を提案した。

統合型 MI ならびにカスケードシステム用統合型 ZSI は従来システムと比較して電力変換器の台数を削減することができ、飛躍的なシステムの簡素化が実現できる。またカスケードシステム用統合型 ZSI は、パネル単体から系統連系を行う統合型 MI と比較して変換器 1 台当たりの昇圧比を低減可能であるため、電力変換効率の改善が期待できる。

提案する 2 種の電力変換器に関して動作解析と実機検証を実施した。動作解析では提案回路が補償器として動作する条件を明らかにし、また実機検証にてその条件の妥当性を示した。部分影発生時を想定した実験では、双方の試作回路において抽出電力が向上し、かつ、出力電圧が昇圧されたことから、提案回路が部分影補償・DC-AC 変換・電圧昇圧を 1 台で実現できることを示した。さらに統合型 MI と比較してカスケードシステム用統合型 ZSI の電力変換効率の高効率化に成功した。また部分影未発生時において MPPT を実施した結果、 d_{ST} と M を用いて V_{string} と V_{dc} を独立して制御可能であることを示した。

第6章 補足資料

補足 A SBC (Simple Boost Control)

本補足では ZSI 特有の動作である ST を実現するスイッチング手法について述べる。ST を実現する制御手法としては、通常の電圧型インバータで用いられる正弦波 PWM (SPWM: Sinusoidal Pulse Width Modulation) 制御に、ST を実現するための指令値をさらに2種類付け加える方法が一般的である。例として SBC (Simple Boost Control) 制御[1]や MBC (Maximum Boost Control) 制御[27]などが挙げられるが、本研究では制御の実現が最も容易であることを理由に SBC 制御を用いた。

図 6.1 に、SBC 制御で用いられる比較用信号を示す。三角波 v_{tri} と正弦波 v_{sin} は SPWM 制御で用いられるものと同様であるが、SBC 制御では V_{refp} 及び V_{refn} が新たに指令値として加えられている。インバータの出力正弦波 v_{out} の周波数は、SBC 制御で用いる v_{sin} の周波数と等しくなる。 v_{tri} の周波数が高いほどインバータが出力する正弦波は電圧リップルが小さくなり、 v_{out} の THD を低くすることができる。その一方でスイッチング回数が多くなり、スイッチのオン/オフが切り替わる際に発生するスイッチング損失が増大する。なお実用上、 v_{tri} は数 kHz~数十 kHz、 v_{sin} は系統連系を行う場合 50、60 Hz であるものの、図 6.1 では説明の都合上、 v_{tri} と v_{sin} の周波数を同程度とした。

v_{tri} 、 v_{sin} の振幅をそれぞれ V_{tri} 、 V_{sin} とすると、変調度 M は従来の SPWM と同様に次式で与えられる。

$$M = \frac{V_{sin}}{V_{tri}} \quad (6.1)$$

また SBC 制御を採用した際の qZSI の v_{out} は

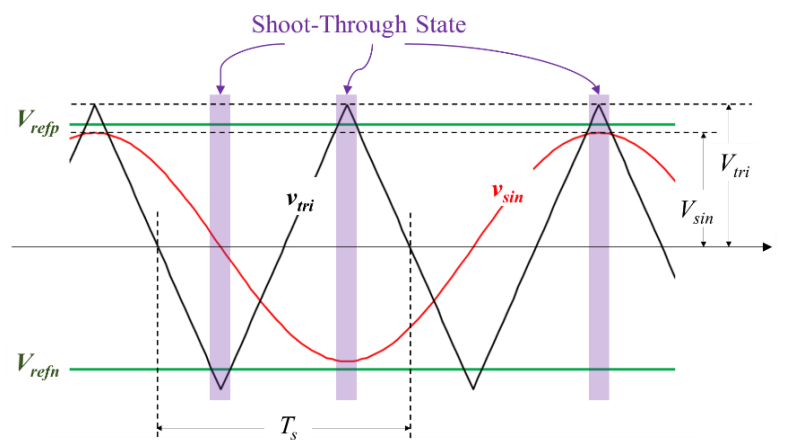


図 6.1 SBC 制御で用いる比較用信号

$$v_{out} = MV_{dc} \sin \omega t \quad (6.2)$$

と表せる。一方で v_{tri} が V_{refp} よりも大きい、あるいは V_{refn} より小さい際に ST 動作へと移行する (図 6.1 の紫部分)。 d_{ST} はスイッチング周期 T_s に対する ST 期間の割合であるため

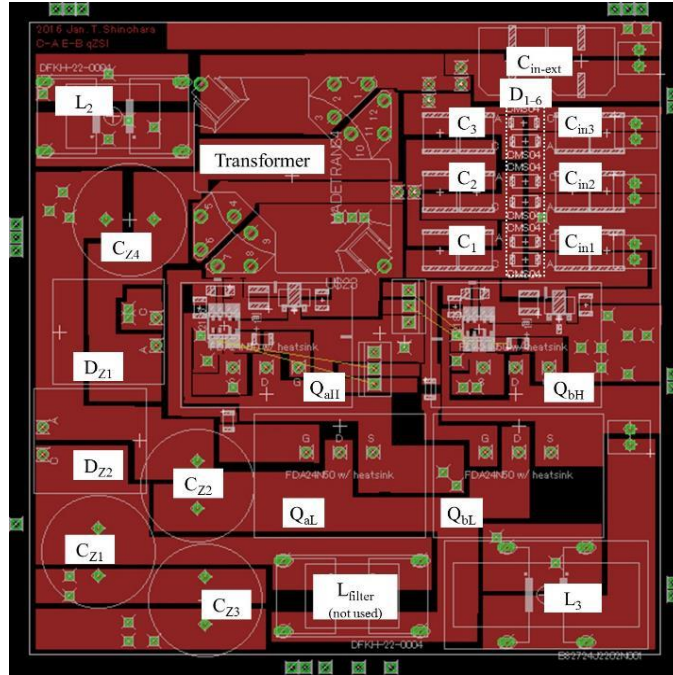
$$d_{ST} = \frac{T_{ST}}{T_s} \quad (6.3)$$

と表せる。ここで T_{ST} は ST 期間の合計である。

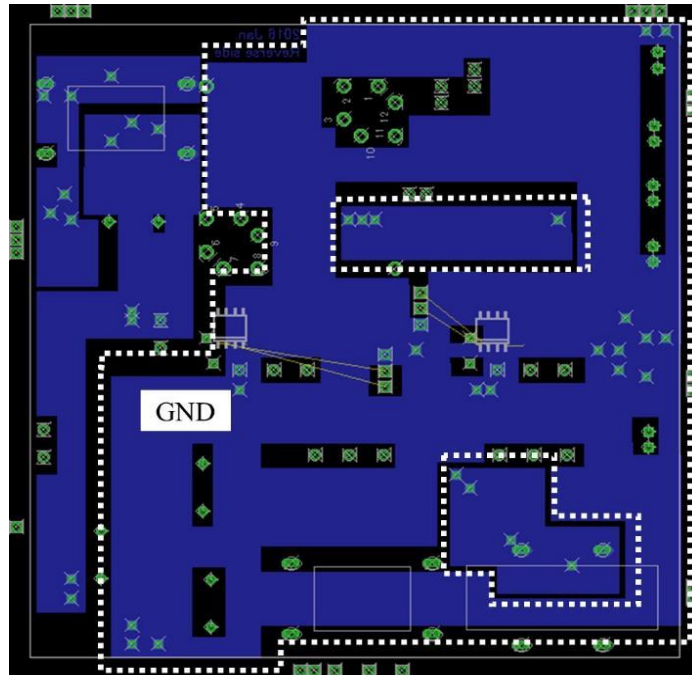
第 2 章で d_{ST} と M はそれぞれ独立した自由度ではなく式(2.1)に示す条件が存在すると述べた。これは式(2.1)を満たさない条件では v_{sin} と V_{refp} および V_{refn} が交差してしまい、出力電圧の波形が正弦波から台形波のような形になるためである。また式(2.1)からわかるように d_{ST} が大きくなるほど M が小さくなる。 M が小さい場合には式(3.3)に示すように、DC リンク電圧に対して v_{out} が低くなってしまふ。そのため v_{out} を固定値として考えると、式(2.1)において等号が成り立つ際に最も V_{dc} を低くできるため、素子ストレスを軽減できる。

補足 B 統合型 MI のプリント基板パターン

GD 付近は補足 F と同様であるため省略する。



(a) 表面配線パターン



(b) 裏面配線パターン

図 6.2 統合型 MI のプリント基板パターン

補足 C 「Limiter」の内部 (C 言語)

```
*****  
float Dst = 0.0;  
float M = 0.0;  
  
//PWM ブロックは 0-10V のキャリアなので、5V を中心とした正弦波指令値振幅 M を生成する  
  
Dst = x1;  
M = x2;           //指令値は M*sin(wt)+5  
  
M = (Dst-5>M)?M:Dst-5-0.1;    //変調率が Dst を超えないよう制限 (0.1 余裕を持たせている)  
y1 = M;  
*****
```

補足 D ピークホールド回路

V_{dc} のフィードバックに用いたピークホールド回路を図 A に示す。使用したコンデンサ C_{ph} の容量は 100 nF、抵抗 R_{ph} は 2 k Ω (4 k Ω の並列接続) である。 C_{ph} の電圧定格は V_{dc} と同様の定格が必要となる。また R_{ph} の値は大きいほどピークホールド回路で発生する損失が小さくなるが、 V_{dc} にて発生するサージ電圧が C_{ph} を充電することで、フィードバックされる電圧値としての V_{dc} と、実際に回路内で発生しているサージ電圧を除いた DC リンク電圧の V_{dc} に差異が生じてしまう。そのため抵抗値を変更しながら実験を行い、都合の良い値であると判断した 2 k Ω の R_{ph} を用いた。また並列接続した抵抗を用いたのは、抵抗で消費される電力が使用した抵抗の電力定格を超えたためである。

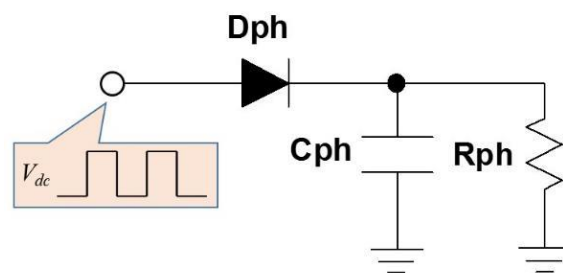


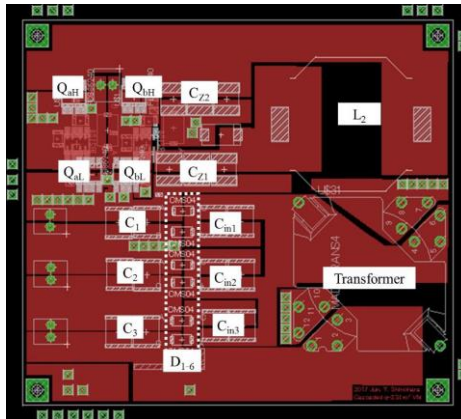
図 6.3 ピークホールド回路

補足 E 「delta V」 の内部 (C 言語)

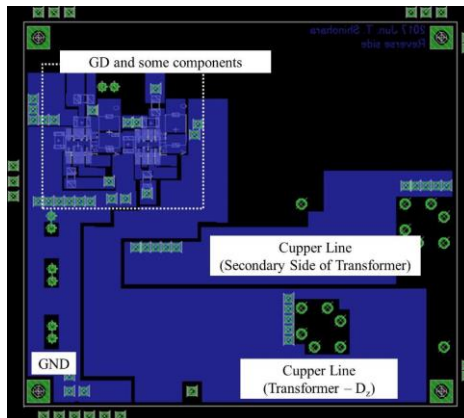
```
*****  
  
//ENTER YOUR CODE HERE  
  
// y1 = 2 * sin(x1);  
  
float Vmax, Vmin, Vpv3, Vpv2, Vpv1, deltaV;  
  
Vpv3 = x1;  
Vpv2 = x2;  
Vpv1 = x3;  
  
Vmax = (Vpv1 > Vpv2) ? ((Vpv1 > Vpv3) ? Vpv1 : Vpv3) : ((Vpv2 > Vpv3) ? Vpv2 : Vpv3);  
Vmin = (Vpv1 < Vpv2) ? ((Vpv1 < Vpv3) ? Vpv1 : Vpv3) : ((Vpv2 < Vpv3) ? Vpv2 : Vpv3);  
  
deltaV = Vmax - Vmin;  
y1 = deltaV;  
  
*****
```

補足 F カスケードシステム用統合型 ZSI のプリント基板パターン

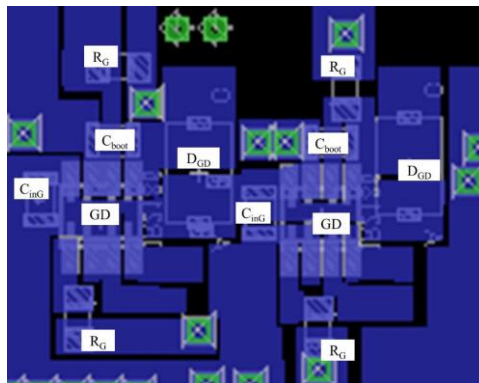
配線パターン上はアルミ電解コンデンサのパターンが存在していない。これは挿入部品タイプのアルミ電解コンデンサを後からはんだ付けしたためである。



(a) 表面配線パターン



(b) 裏面配線パターン



(c) 裏面配線パターン (GD 付近の拡大図)

図 6.4 カスケードシステム用統合型 ZSI のプリント基板パターン

補足 G 「MPPT」の内部 (C 言語)

```
*****  
  
//ENTER YOUR CODE HERE  
  
// y1 = 2 * sin(x1);  
  
static float Duty = 9.0;  
static float Ppv = 0.0;  
static float Vpv = 0.0;  
static float Ipv = 0.0;  
static float Vold, Pold;  
//float delta_d = 0.25;           //MPPT での Duty の変化幅  
  
Vpv = x1;  
Ipv = x2;  
Ppv = Vpv*Ipv;  
  
Duty += (Ppv <= Pold + 0.5) ? ((Vpv >= Vold + 0.5) ? -delta_d : +delta_d) : ((Vpv >= Vold + 0.5) ? +delta_d : -delta_d);  
Duty = (Duty>9.8)?9.8:((Duty<7.8)?7.8:Duty);           //Duty のリミッタ  
y1 = Duty;  
  
Vold = Vpv;           //次サイクルでの比較用  
Pold = Ppv;           //次サイクルでの比較用  
  
*****
```

参考文献

- [1] F. Z. Peng, "Z source inverter," *IEEE Trans. Ind. Applicat.*, vol. 39, no. 2, pp. 504–510, Mar./Apr. 2003.
- [2] J. Anderson and F. Z. Peng, "Four quasi-Z-source inverters," in *Proc. IEEE Annu. Power Electronics Specialists Conf., (PESC'08)*, pp. 2743–2749, June 15–19, 2008.
- [3] C. J. Gajanayake, F. L. Luo, H. B. Gooi, P. L. So, and L. K. Siow, "Extended-boost Z-Source inverters," *IEEE Trans. Power Electron.*, vol. 25, no. 10, pp. 2642–2652, Oct. 2010.
- [4] W. Qian, F. Z. Peng and H. Cha, "Trans-Z-source inverters," *IEEE Trans. Power Electron.*, vol. 26, no. 12, pp. 3453–3463, Dec. 2011.
- [5] M. Zhu, K. Yu and F. L. Luo, "Switched inductor Z-source inverter," *IEEE Trans. Power Electron.*, vol. 25, no. 8, pp. 2150–2158, Aug. 2010.
- [6] P. C. Loh, D. Li and F. Blaabjerg, "T-Z-source inverter," *IEEE Trans. Ind. Electron.*, vol. 28, no. 11, pp. 4880–4884, Nov. 2013.
- [7] M. K. Nguyen, Y. C. Lim and Y. G. Kim, "TZ-source inverter," *IEEE Trans. Ind. Electron.*, vol. 60, no. 12, pp. 5686–5695, Nov. 2012.
- [8] Y. Huang, M. Shen, F. Z. Peng, and J. Wang, "Z-source inverter for residential photovoltaic systems," *IEEE Trans. Power Electron.*, vol. 21, no. 6, pp. 1776–1782, Nov. 2006.
- [9] Y. Zhou, L. Liu, and H. Li, "A high-performance photovoltaic module-integrated Converter (MIC) based on cascaded Quasi-Z-source Inverters (qZSI) using eGaN FETs," *IEEE Trans. Power Electron.*, vol. 28, no. 6, pp. 2727–2738, Sep. 2012.
- [10] S. M. MacAlpine, R. W. Erikson, and M. J. Brandemuehl, "Characterization of power optimizer potential to increase energy capture in photovoltaic systems operating under nonuniform conditions," *IEEE Trans. Power Electron.*, vol. 28, no. 6, pp. 2936–2945, 2012.
- [11] M. Vitelli, "On the necessity of joint adoption of both distributed maximum power point tracking and central maximum power point tracking in PV systems," *Prog. Photovoltaic Res. Appl.*, vol. 22, pp. 283–299, 2014.
- [12] K. A. Kim, P. S. Shenoy, and P. T. Krein, "Converter rating analysis for photovoltaic differential power processing systems," *IEEE Trans. Ind. Electron.*, vol. 30, no. 4, pp. 1987–1997, Apr. 2015.
- [13] J. T. Stauth, M. D. Seeman, and K. Kesarwani, "Resonant switched-capacitor converters for submodule distributed photovoltaic power management," *IEEE Trans. Power Electron.*, vol. 28, no. 3, pp. 1189–1198, Mar. 2013.
- [14] P. S. Shenoy, K. A. Kim, B. B. Johnson, and P. T. Krein, "Differential power processing for increased energy production and reliability of photovoltaic systems," *IEEE Trans. Ind. Power Electron.*, vol. 28, no. 6, pp. 2968–2979, Jun. 2013.
- [15] H. J. Bergveld, D. Büthker, C. Castello, T. Doorn, A. D. Jong, R. V. Otten, and K. D. Waal, "Module-level DC/DC conversion for photovoltaic systems: the delta-conversion concept," *IEEE Trans. Power Electron.*, vol. 28, no. 4, pp. 2005–2013, Apr. 2013.
- [16] T. Shimizu, O. Hashimoto, and G. Kimura, "A novel high-performance utility-interactive photovoltaic inverter system," *IEEE Trans. Power Electron.*, vol. 18, no. 2, pp. 704–711, Mar. 2003.
- [17] T. Shimizu, M. Hirakata, T. Kamezawa, and H. Watanabe, "Generation control circuit for photovoltaic modules," *IEEE Trans. Power Electron.*, vol. 16, no. 3, pp. 293–300, May 2001.
- [18] C. Olalla, D. Clement, M. Rodríguez, and D. Maksimović, "Architectures and control of submodule integrated dc-dc converters for photovoltaic applications," *IEEE Trans. Power Electron.*, vol. 28, no. 6, pp. 2980–2997, Jun. 2013.
- [19] S. Poshtkouhi, A. Biswas, and O. Trescases, "Dc-dc converter for high granularity, sub-string MPPT in photovoltaic applications using a virtual-parallel connection," in *Proc. IEEE 27th Applied Power Electron. Conf. Expo., APEC*, pp. 86–92, 2012.
- [20] J. Du, R. Xu, X. Chen, Y. Li, and J. Wu, "A novel solar panel optimizer with self-compensation for partial shadow condition," in *Proc. IEEE Applied Power Electron. Conf. Expo.*, pp. 92–96, 2013.
- [21] M. Uno and A. Kukita, "Single-switch voltage equalizer using multi-stacked buck-boost converters for partially-shaded photovoltaic modules," *IEEE Trans. Power Electron.*, vol. 30, no. 6, pp. 3091–3105, Jun. 2015.
- [22] M. Uno and A. Kukita, "Two-switch voltage equalizer using an LLC resonant inverter and voltage multiplier

- for partially-shaded series-connected photovoltaic modules,” *IEEE Trans. Ind. Appl.*, vol. 51, no. 2, Mar/Apr. 2015, pp. 1587–1601.
- [23] M. Uno and A. Kukita, “Single-switch single-magnetic PWM converter integrating voltage equalizer for series-connected photovoltaic modules under partial shading,” in *Proc. IEEE Energy Conversion Congress Expo.*, pp.5618–5625, Pittsburgh, USA, Sep. 2014.
- [24] M. Uno and A. Kukita, “PWM converter integrating switched capacitor voltage equalizer for photovoltaic modules under partial shading,” in *Proc. EPE’15, ECCE Europe*, pp.1–10, Sep. 2015.
- [25] T. Shinohara and M. Uno, "Micro-inverter based on quasi-Z-source inverter integrating switchless voltage equalizer for photovoltaic panels under partial shading" in *Proc. International Future Energy Electron. Conf. (IFEEC), ECCE Asia*, pp. 2013-2018, Jun. 2017, Kaohsiung, Taiwan.
- [26] M. Uno and A. Kukita, “Current sensorless equalization strategy for a single-switch voltage equalizer using multistacked buck–boost converters for photovoltaic modules under partial shading,” *IEEE Trans. Ind. Appl.*, Vol. 53, No. 1, pp. 420–429, Jan./Feb. 2017
- [27] F. Z. Peng, M. Shen, and Z. Qian, “Maximum boost control of the Z-source inverter,” *IEEE Trans. Power Electron.*, Vol. 20, No. 4, pp. 833–838, Jul. 2005

謝辞

本研究を通して非常に熱心にご指導くださった鵜野将年准教授に大変感謝いたします。また日頃の活発な議論を通して刺激と新たな知見を与えてくださったパワーエレクトロニクス研究室の仲間感謝申し上げます。