

平成 30 年度卒業学位論文

電圧バランス機能を備えた直並列切り替え式
電気二重層キャパシタモジュール

工学部 電気電子工学科

15T3008G 岩崎 光洋

指導教員 鵜野 将年 准教授

要旨

電気二重層キャパシタ (EDLC: Electric Double-Layer Capacitor) は高出力密度、長寿命といった長所を有した蓄電池であり、無停電電源装置等の用途で利用されている。一般的に EDLC の電圧は充放電に伴い大きく変動するため、EDLC を使う場合負荷および電源バスに対する電圧安定化のためのコンバータが不可欠である。しかし、コンバータの入力許容電圧を超える範囲では充放電を行うことができないため、EDLC の充放電エネルギーを十分に利用できないという問題が生じる。本研究では複数のセルとスイッチによりモジュールを構成し、モジュール電圧に応じてセルの直列数を切り替えることでモジュール電圧の変動を抑制することが可能な回路を提案する。

Series-Parallel Reconfigurable EDLC Modules with Voltage Equalization Capability

Abstract

Electric Double-Layer Capacitor(EDLC) is a storage battery having advantages such as high-power density and long life, and is used for application such as uninterruptible power supply. In general, the voltage of EDLC fluctuates greatly with charging and discharging. Therefore, when EDLC is used, a converter for stabilizing the voltage to the load and power supply bus is indispensable. However, charging and discharging can't be performed within a range exceeding the input allowable voltage of the converter, so that there arises a problem that the charging and discharging energy of the EDLC can't be sufficiently. In this research, a circuit which consists of multiple cells and switches to switch the series number of cells according to the module voltage is proposed, thereby suppressing the fluctuation of the module voltage and balancing the voltage of each cell.

目次

第1章 研究背景	4
第2章 提案する直並列切り替え回路.....	6
第3章 動作解析	7
3.1 電流経路	7
3.2 バランス原理	9
3.3 シミュレーション解析.....	9
第4章 実機検証	17
4.1 製作した回路	17
4.2 バランス実験	18
4.2.1 実験条件	18
4.2.2 実験結果	18
第5章 まとめ	20
第6章 補足	20
6.1 EDLCの基本構造と特性	20
6.1.1 電気二重層とは.....	20
6.1.2 EDLCの基本構造	20
6.1.3 EDLCの特性	21
6.2 従来回路の解析結果とセル電圧のばらつく原因.....	21
参考文献	22
謝辞	22

第 1 章 研究背景

電気二重層キャパシタ (EDLC: Electric Double-Layer Capacitor) は出力密度が高く長寿命であるため、無停電電源装置などの用途に使われている。しかし他の蓄電デバイスに比べて EDLC の電圧は充放電に伴い大きく変動するため、図 1.1 に示すように負荷および電源バスに対する電圧安定化のためのコンバータが不可欠である。しかし、コンバータには入力許容電圧があり、その電圧を超える範囲では充放電を行うことができないため、EDLC の充放電エネルギーを十分に利用できないという問題が生じる。図 1.2 に示すように複数のセルとスイッチを組み合わせてモジュールを構成し、モジュール電圧 V_M に応じてセルの直並列構成を切り替えることで V_M の変動を抑制する直並列切り替え回路が提案されている。しかし従来方式では充放電に伴い各セルの電圧にばらつきが生じてしまうことが問題となっている。^①電圧がばらついた状態で充放電を行うと図 1.3 に示すように電圧の最も高い（低い）セルが過充電（過放電）を引き起こし、セルの早期劣化の原因となる。そこで本研究では V_M の変動を抑制しつつ、各セルの電圧をバランス可能な直並列切り替え回路を提案し、動作解析を行う。

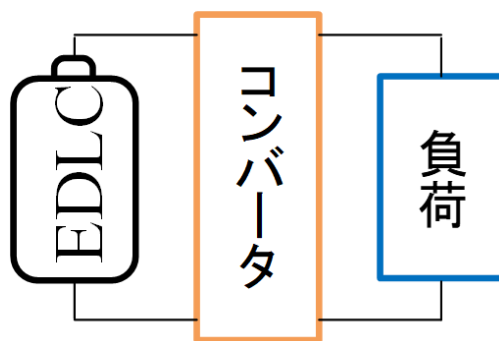


図 1.1. EDLC を用いた簡易装置

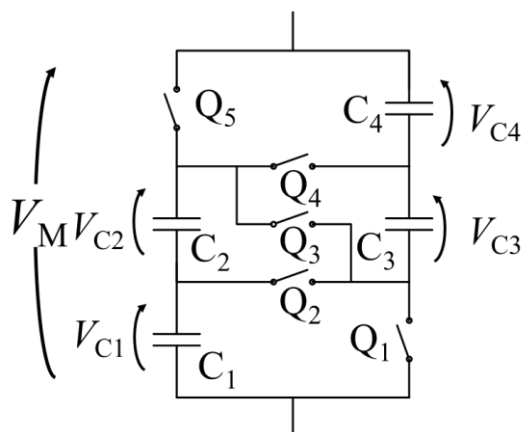


図 1.2. 従来の 4 セル用直並列切り替え回路

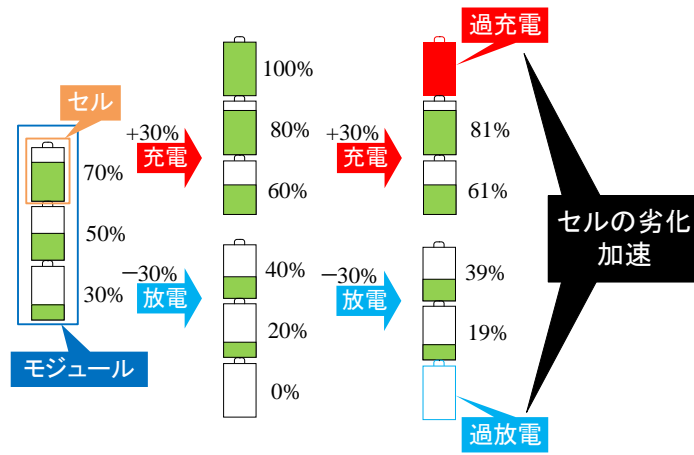


図 1.3. 過充電、過放電の概念

第 2 章 提案する直並列切り替え回路

図 2.1 に示す n セル用提案回路はスイッチ $2n-2$ 個とセル n 個から構成されており、図 2.1 の吹き出しにあるようなスイッチ 2 つとセル 1 つからなる回路を交互に組み合わせて構成される。従来回路は任意の直列数に対応できないのに対し、提案回路は要求される電圧や回路のサイズなどに応じて任意の直列数に対応可能であるため、高い拡張性を有している。また回路を構成する素子がスイッチとセルのみであるため、構成が簡素である。

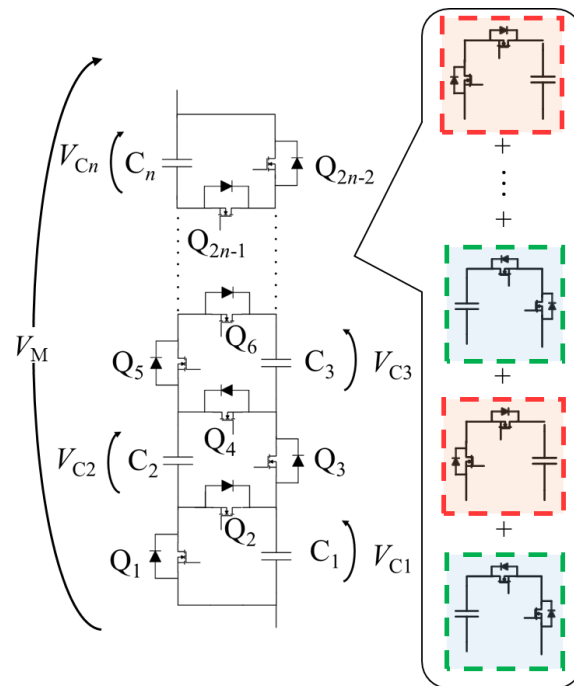


図 2.1 n セル用提案回路

第3章 動作解析

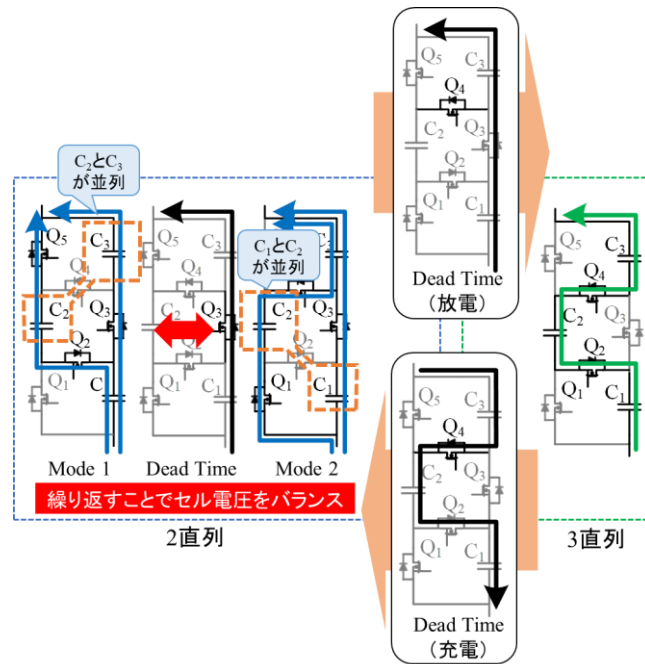
3.1 電流経路

提案回路は理論的に任意のセル数に対応可能であるが、本研究では例として3セル用と4セル用について取り扱う。

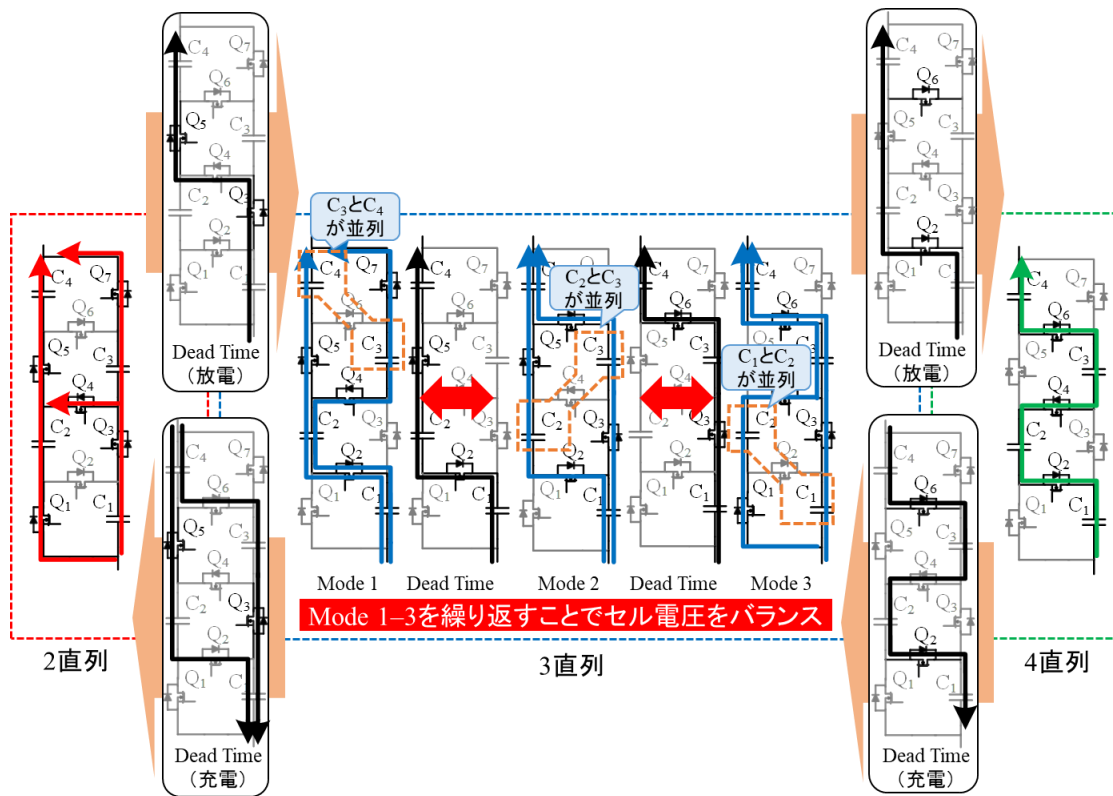
放電時の3セル用提案回路の電流経路を図3.1(a)に示す。3セル構成であるため、動作は2直列時と3直列時に大別される。2直列時の動作はさらにMode 1と2に分けられる。Mode 1ではスイッチ Q_2 、 Q_3 、 Q_5 がONし、セル C_2 と C_3 が並列接続される。Mode 2ではスイッチ Q_1 、 Q_3 、 Q_4 、 Q_5 がONすることで、セル C_1 と C_2 が並列接続される。スイッチ切り替え時に全てのスイッチをOFFした場合回路が解放状態となり、一時的に出力電圧がゼロとなる。この問題はスイッチ切り替え前後で共通してON状態となるスイッチをONし続けるDead Timeを設けることで解決できる。MOSFETを用いた場合、電流がON状態のスイッチならびにOFF状態スイッチのボディダイオードを流れることでスイッチ切り替え前の電圧を維持する。

放電時の4セル用提案回路の電流経路を図3.1(b)に示す。4セル構成であるため、動作は2、3、4直列時に大別される。スイッチ Q_1 、 Q_3 – Q_5 、 Q_7 がONすることで2直列構成となり、セル C_1 と C_2 、 C_3 と C_4 が並列接続される。3直列時の動作はMode 1–3に分けられる。Mode 1ではスイッチ Q_2 、 Q_4 、 Q_5 、 Q_6 がONし、セル C_3 と C_4 が並列接続される。Mode 2ではスイッチ Q_2 、 Q_3 、 Q_5 、 Q_6 がONすることでセル C_2 、 C_3 が並列接続され、Mode 3ではスイッチ Q_1 、 Q_3 、 Q_4 、 Q_6 がONし、セル C_1 と C_2 が並列接続される。スイッチ Q_2 、 Q_4 、 Q_6 がONすることですべてのセルが直列接続される4直列構成となる。3セル用提案回路と同様の理由でスイッチ切り替え時にDead Timeを設ける。

3セル用4セル用ともに、充電時の電流経路はDead Timeを除き図3.1に示した電流の向きを反対にした電流経路と同じであるため省略する。



(a) 3セル用提案回路



(b) 4セル用提案回路

図 3.1. 放電時における電流経路

3.2 バランス原理

3 セル用提案回路における 2 直列時は図 3.1(a)に示す 2 つのモードを Mode 1→Mode 2→Mode 1 というように一定周期で繰り返し動作させる。Mode 1 でセル C_1 と C_2 が並列接続され V_{C1} と V_{C2} がバランスし、Mode 2 ではセル C_2 と C_3 が並列に接続され V_{C2} と V_{C3} がバランスする。このバランス動作を直列接続数が切り替わるまで繰り返し行うことですべてのセル電圧が均一になる。

4 セル用提案回路における 3 直列時は図 3.1(b)に示す 3 つのモードを Mode 2→Mode 3→Mode 2→Mode 1→Mode 2 というように一定周期で繰り返し動作させる。各モードではそれぞれ 2 つのセルが並列接続され、Mode 1 では V_{C3} と V_{C4} が、Mode 2 では V_{C2} と V_{C3} が、Mode 3 では V_{C1} と V_{C2} がバランスするように電力が受け渡される。この動作をセルの直列接続数が切り替わるまで繰り返し行うことですべてのセル電圧が均一になる。

3.3 シミュレーション解析

回路シミュレータ PSIM を用いてシミュレーション解析を行った。4 セル用提案回路に対するシミュレーション時の PSIM 画面を図 3.4 に示す。3 セル用提案回路のシミュレーション構成は 4 セル用提案回路のシミュレーションの構成の一部であるため省略する。シミュレーションは 0.2 A で充放電を行い、各セルの初期電圧を放電時では 2.5 V–0.8 V まで、充電時では 0.8 V–2.5 V までバランス回路を動作させた。3 セル用提案回路の放電時と充電時における制御のフローチャートを図 3.2(a)、(b)にそれぞれ示し、4 セル用提案回路の放電時と充電時のフローチャートを図 3.3(a)、(b)にそれぞれ示す。セル電圧 V_C に応じて直列接続数を決定することで V_M の変動を抑制する。 V_M をある電圧以下にならないように下限電圧 V_{M_low} を 3.2 V と定め、 V_M が V_{M_low} に達すると回路の動作が移行する。2 直列時において V_{M_low} まで放電すると 1 つ当たりのセル電圧が 1.6 V となり、3 直列に動作が移行する。セル 1 つ当たりの電圧が 1.6 V であるので 3 直列の初動作時の V_M は 4.8 V となり放電を開始した $V_M=5.0$ V に近い値となる。エネルギー利用率を高い水準で維持したまま V_M の変動を抑制することができるため V_{M_low} を 3.2 V と定めた。図 3.4 のシミュレーション上の回路にある抵抗はリード線の抵抗を考慮したものであり、リード線の長さに起因するものである。シミュレーションでセルとして 400 F のコンデンサを使用し、スイッチング周波数を 4 Hz とした。ここでのスイッチング周波数とは Dead Time 期間や回路の動作期間を決定するものである。

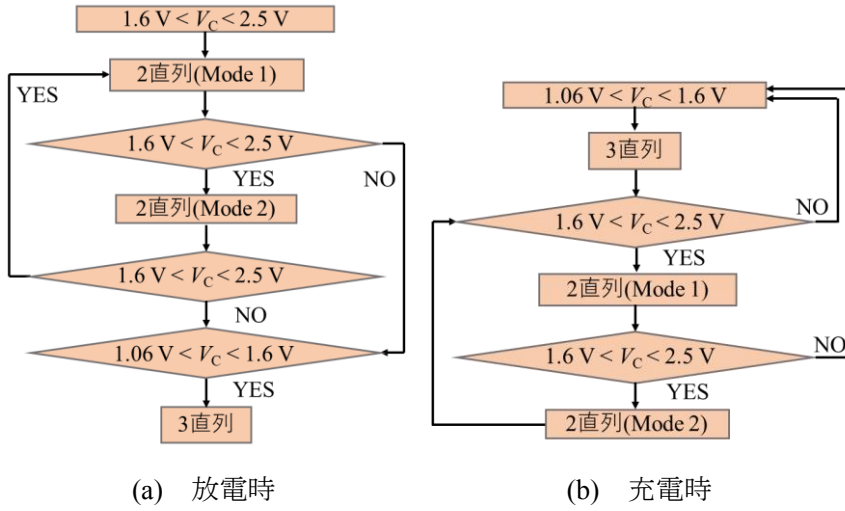


図 3.2. 3セル用提案回路のフローチャート

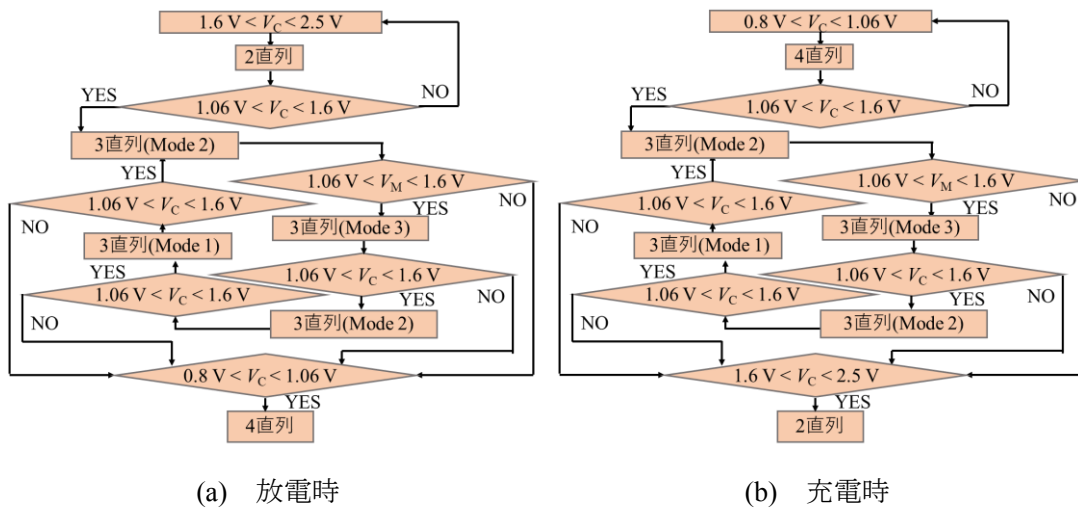


図 3.3. 4セル用提案回路のフローチャート

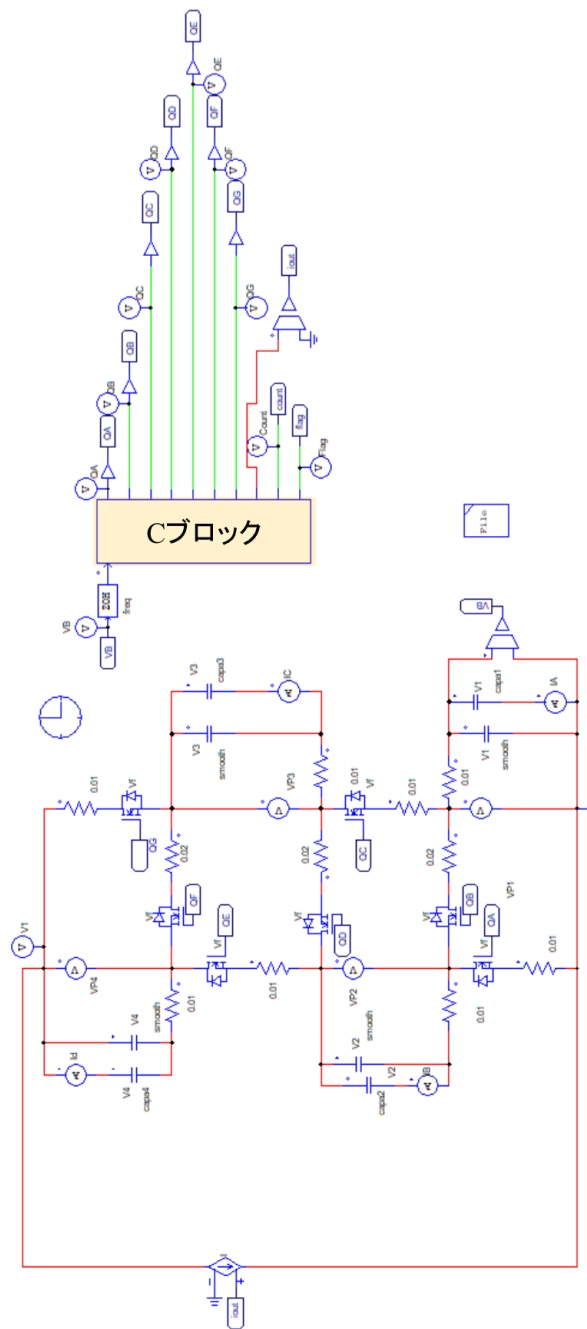


図 3.4. PSIM での回路構成 (4セル用)

シミュレーションで使用した C ブロックの内容を以下に示す。これは図 3.2 と図 3.3 のフローチャートに沿った動作を行う。

```

double VB=x1;
static int count=0;
static int QA=0; //スイッチ Q1

```

```

static int QB=0; //スイッチ Q2
static int QC=0; //スイッチ Q3
static int QD=0; //スイッチ Q4
static int QE=0; //スイッチ Q5
static int QF=0; //スイッチ Q6
static int QG=0; //スイッチ Q7
static int iout=0; //出力
static int flag=0; //閾値を電圧以外に設けることでヒステリシスを実現

if((VB>=2.5)&&(flag>=1))
{
    QA=1;QB=0;QC=1;QD=1;QE=1;QF=0;QG=1;iout=0;    //充電停止
    flag=1;    //flag が 1 に変化
}

else if( ((VB>=1.58)&&(flag<=2)) || ((VB>=1.62)&&(flag>2)) )
//ヒステリシス セル電圧が 1.58 V まで放電 (1.62 V まで充電) した際に、放電時では
1.62 V (充電時では 1.58 V) までセル電圧の閾値を上げる (下げる) ことが可能
//上記の動作を行うことで電圧が閾値に到達したあと電圧が少し上がっても (下がって
も) 誤動作を起こさない。
{
    if(flag==2){    //2 直の通常運転時
        QA=1;QB=0;QC=1;QD=1;QE=1;QF=0;QG=1;iout=1;    //2 直
    }
    else if(flag==3){    //3 直から 2 直への切り替え時
        QA=0;QB=0;QC=1;QD=0;QE=1;QF=0;QG=0;iout=1;    //Dead Time
// Dead Time があることで回路が開放することを防ぐ
    }
    flag=2;    //flag が 2 に変化
}

else if( ((VB>=1.57)&&(flag<=3)) || ((VB>=1.61)&&(flag>3)) )
//下の deadtime を 2 直列と 3 直列の間に入れたい
{
    if(flag==3){
        QA=0;QB=1;QC=1;QD=0;QE=1;QF=1;QG=0;iout=1;    //Mode 2

```

```

    }
    else if (flag==2){ //2 直から 3 直
        QA=0;QB=0;QC=1;QD=0;QE=1;QF=0;QG=0;iout=1; //Dead Time
// Dead Time があることで回路が開放することを防ぐ
    }
    flag=3;
}

else if( ((VB>=1.04)&&(flag<=4)) || ((VB>=1.08)&&(flag>4)) )
{

    if(flag==4){ //3 直の通常運転時
        if( (count>=0) && (count <=19))
            {QA=0;QB=1;QC=1;QD=0;QE=1;QF=1;QG=0;iout=1;} //Mode 2

        else if(count==20)
            {QA=0;QB=1;QC=0;QD=0;QE=1;QF=0;QG=0;iout=1;} //Dead Time

        else if( (count>=21) && (count <=60))
            {QA=0;QB=1;QC=0;QD=1;QE=1;QF=0;QG=1;iout=1;} //Mode 1
//Mode 2 は 3 直列時に Mode 1 よりも頻度が 2 倍多いため Mode 1 の動作時間は Mode 2 の
// 2 倍時間を確保

        else if(count==61)
            {QA=0;QB=1;QC=0;QD=0;QE=1;QF=0;QG=0;iout=1;} //Dead Time

        else if( (count>=62) && (count <=81))
            {QA=0;QB=1;QC=1;QD=0;QE=1;QF=1;QG=0;iout=1;} //Mode 2

        else if(count==82)
            {QA=0;QB=0;QC=1;QD=0;QE=0;QF=1;QG=0;iout=1;} //Dead Time

        else if( (count>=83) && (count <=122))
            {QA=1;QB=0;QC=1;QD=1;QE=0;QF=1;QG=0;iout=1;} //Mode 3
// Mode 1 と同様に Mode 2 が Mode 3 よりも頻度が 2 倍多いため Mode 3 の動作時間は
// Mode 2 の 2 倍時間を確保

```

```

else if(count==123)
    {QA=0;QB=0;QC=1;QD=0;QE=0;QF=1;QG=0;iout=1;} //Dead Time
    }
flag=4;

//count ループ
if(count>=123) count=0; //count=123 になると count=0 から再スタート
else count++;

}

else if( ((VB>=1.03)&&(flag<=5)) || ((VB>=1.07)&&(flag>5)) )
{
//放電時:3 直列時の動作を Mode 2 で終了
//充電時:3 直列時の動作を Mode 2 から開始
    if(flag==5)
    {QA=0;QB=1;QC=1;QD=0;QE=1;QF=1;QG=0;iout=1; //Mode 2
    }

    else if (flag==6){ //4 直から 3 直
QA=0;QB=1;QC=0;QD=0;QE=0;QF=1;QG=0;iout=1; //Dead Time
    }

    flag=5;
}

else if((VB>=0.8)&&(flag<=6)) // 0.8 V までは稼働
{
    if(flag==6){ //4 直の通常運転時
QA=0;QB=1;QC=0;QD=1;QE=0;QF=1;QG=0;iout=1; //4 直列
    }

    else{ //3 直から 4 直への切り替え時
QA=0;QB=1;QC=0;QD=0;QE=0;QF=1;QG=0;iout=1; //Dead Time
    }

    flag=6;
}
}

```

```
else if(VB<0.8){ //放電完全停止
    QA=0;QB=1;QC=0;QD=1;QE=0;QF=1;QG=0;iout=0;    //4 直
}

//出力
y1=QA;
y2=QB;
y3=QC;
y4=QD;
y5=QE;
y6=QF;
y7=QG;
y8=iout;
y9=count;    //count で時間制御 1 周期 (ここでは 0.25 s) = 1count
y10=flag;
//C ブロックの内容終わり
```


図 3.5 に 3 セル用提案回路、図 3.6 に 4 セル用提案回路のシミュレーションにおける放電特性と充電特性を示す。3 セルと 4 セル用提案回路ともにセルの直列数を変更することで V_M の変動幅を抑制することができた。また 3 セル用提案回路の動作解析と同様に充放電時いずれも 2 直列時にセル電圧がバランスしていることが確認できた。4 セル用提案回路においても、充放電時いずれも 3 直列時に電圧ばらつきが生じないことが示された。

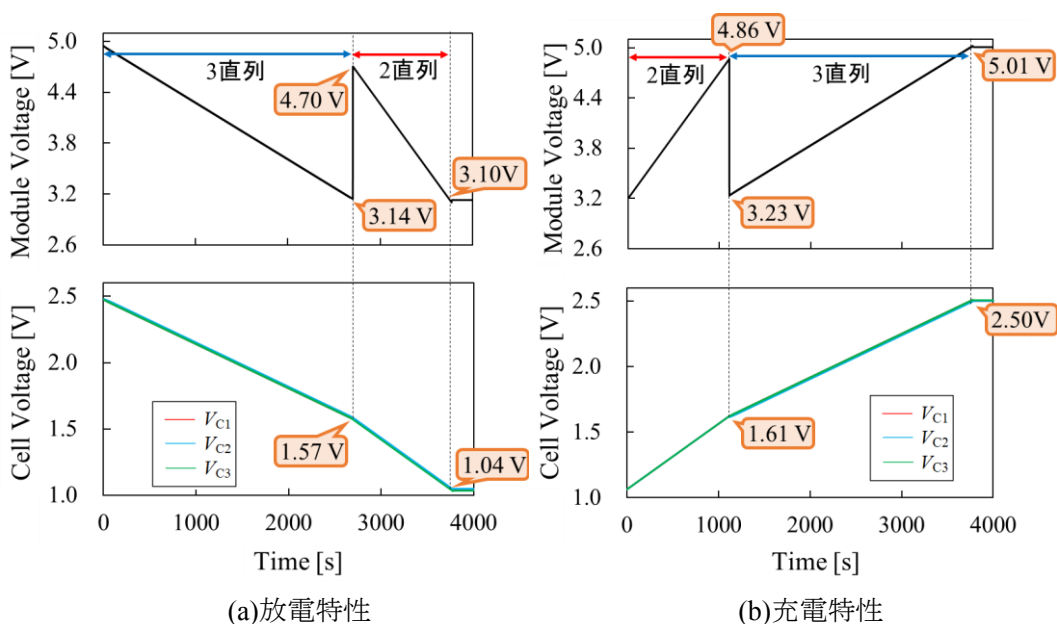


図 3.5. 3 セル用提案回路のシミュレーション結果

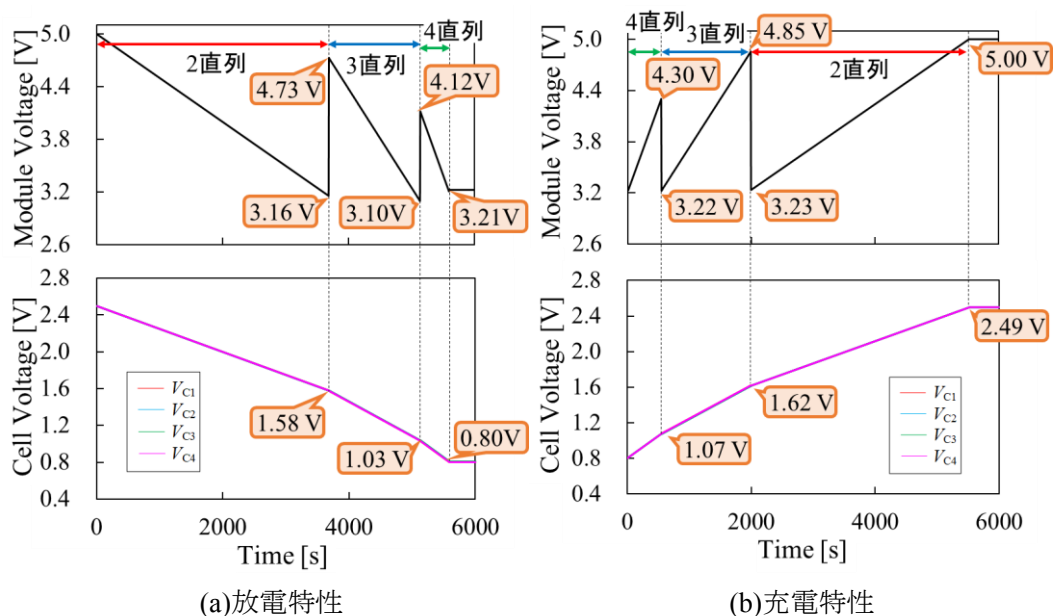


図 3.6. 4 セル用提案回路のシミュレーション結果

第4章 実機検証

4.1 製作した回路

製作した簡易回路を図 4.1 に示し、使用した素子を表 4.1 に示す。図 4.1 の簡易回路は 4 セルの回路であり、3 セル用提案回路は図 4.1 の一部であるため図は省略する。Q_A–Q_G が簡易スイッチのリレーであり、青い円筒状のものがセルとして用いた EDLC である。

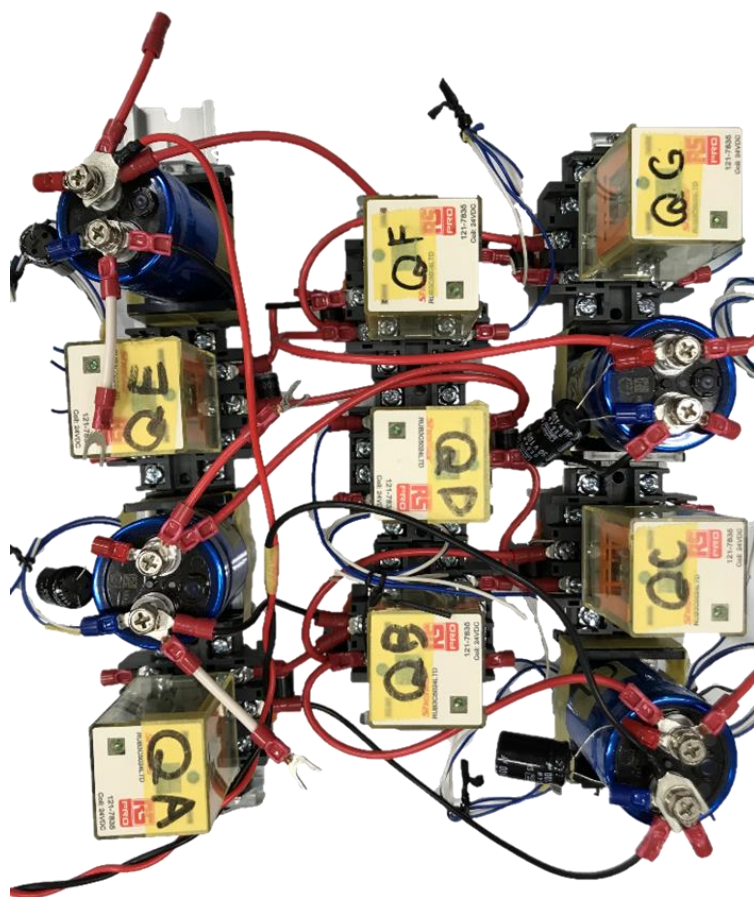


図 4.1. 4セル用簡易回路

表 4.1. 素子選定

素子	種類・値
Q ₁ –Q ₇	スイッチ リレー 24DC 駆動
C ₁ –C ₄	セル EDLC 400 F
C _{smo1} –C _{smo4}	電解コンデンサ 100 μ F
D ₁ –D ₇	ダイオード P600D $V_D=0.55$ V

4.2 バランス実験

4.2.1 実験条件

3セル用提案回路は0.8Aで、4セル用提案回路は0.4Aで充放電を行った。またスイッチング周波数を4HzとしDead Timeとして0.25s設けた。3.1.1項で記述したようにスイッチ切り替え時に回路が開放されるのを防ぐために、リレーに対し表4.1に示すダイオードを並列に接続した。3セル用提案回路はセルを2.5Vから放電、1.06Vから充電を行い、4セル用提案回路はセルを2.5Vから放電、0.8Vから充電を行った。

4.2.2 実験結果

3セル用と4セル用の簡易回路で行ったバランス実験の充放電特性を図4.2と図4.3に示す。図4.3の(a)、(b)ともにセルの直列数を V_M に応じて変更させることで V_M の変動を抑制され、従来方式の問題であった3直列時の各セルの電圧ばらつきを解消していることも確認できた。図4.2と図4.3の充放電特性のグラフには極端に V_M が下がっている(上がっている)部分がある。これは簡易スイッチとして用いたリレーに並列接続させたダイオードの順方向電圧に起因するものであり、順方向電流が0.4A–0.8Aのとき実験で使用したダイオード(表4.1に示したP600D)の順方向電圧が0.55V–0.60Vほどであり、 V_M に干渉するため起こる現象である。本実験ではダイオードの順方向電圧が V_M に反映されてしまったが、次に実験を行う場合には基板設計を行い、スイッチにはMOSFETを使う予定であるため、スイッチがOFFしていてもMOSFETのボディダイオードを導通して回路が開放するのを防ぐことができ、ダイオードは不要となり順方向電圧を考慮する必要はなくなる。

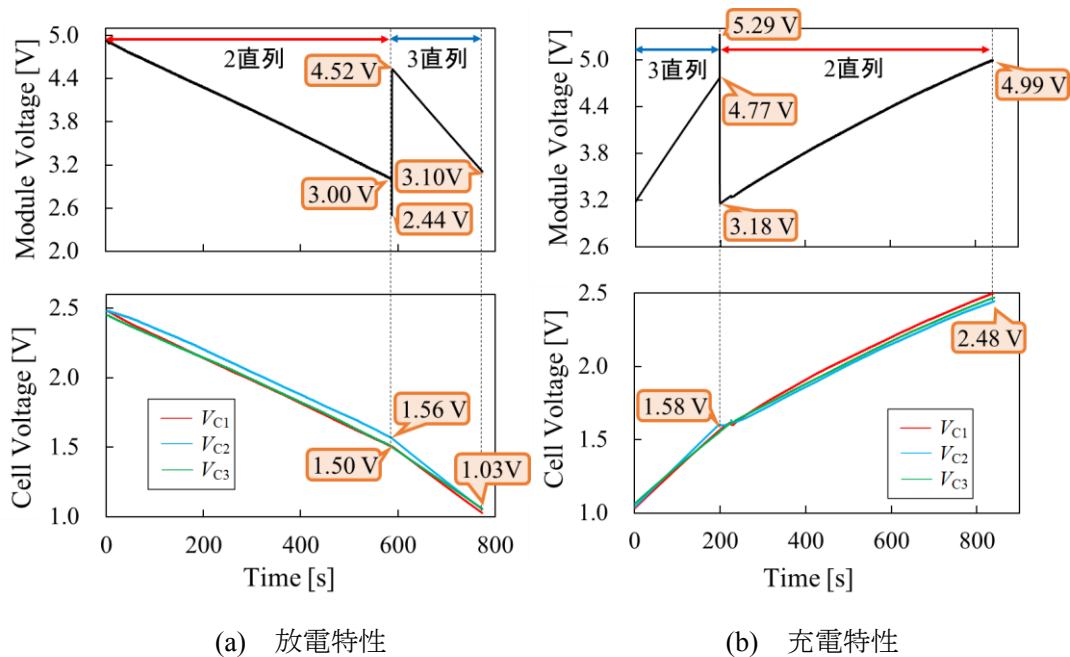


図4.2. 3セル用提案回路

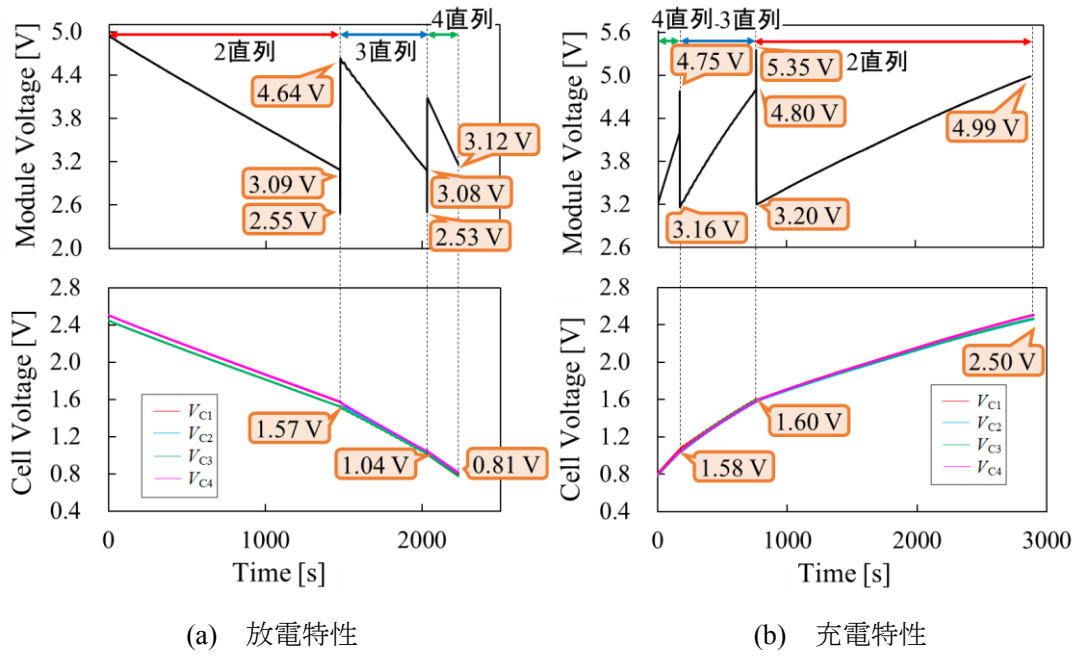


図 4.3. 4セル用提案回路

第5章 まとめ

本研究は V_M に応じてセルの直列数を変更することで V_M の電圧変動を抑制しつつ、従来方式でセルの接続方法による違いで電圧がばらついていた問題を解消することができる回路を提案した。スイッチとセルのみの簡素な構造であり、スイッチ 2 つとセル 1 つを多段接続することで構成されるため高い拡張性も有している。試作回路を用いた実機検証の結果から V_M の電圧変動を抑制しつつ各セルの電圧をバランスすることができたため提案回路の有効性が示された。

第6章 補足

6.1 EDLC の基本構造と特性

6.1.1 電気二重層とは

図 6.1 に示すように電気二重層 (Electric Double Layer) とは電極を電解液に浸した際に電解液側と電極側の電子と正孔が引き合う層のことを指し 1879 年に Helmholtz が発見した現象である。ここで発生した層を絶縁体として扱える (キャパシタの耐電圧を超え電気分解が始まらない) 電圧範囲で使用することで EDLC が作られる。

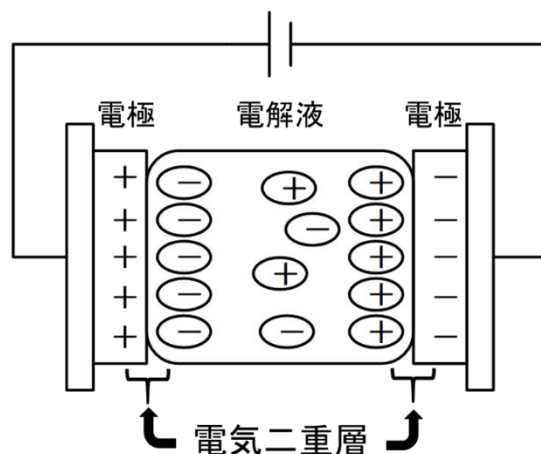


図 6.1. 電気二重層と電気二重層キャパシタの簡易構造

6.1.2 EDLC の基本構造

図 6.1 に示したように EDLC は基本的に電極と電解液で構成されている。電極材料には内部に微細な孔が多数ある表面積の大きい活性炭が用いられる。電解液は大きく水系、有機系、イオン液体に分類され、一般的にはエネルギー密度の高い有機系電解液が使われている。EDLC は 6.1.1 項で記述した電気二重層を利用してイオンの物理的な吸着のみで電荷を蓄えることで電池として機能する。

6.1.3 EDLC の特性

- (1) 長寿命：電気二重層付近に集まったイオンの吸脱着を利用することで電荷を蓄えるため、電極や電解液の化学変化による減少がなく、化学電池に比べて繰り返し使用してもほとんど劣化しない。
- (2) 急速に大電流での充放電が可能：一般的に EDLC は内部抵抗が小さく、高出力密度である。
- (3) 残存容量を求めるのが容易：EDLC はキャパシタであるので容量と電圧を調べるだけで残存容量を容易に求めることができる。
- (4) 安全性が高い：EDLC 自体の劣化が少なく、使用温度範囲が広く使用可能温度での容量減少が小さいため、安定して動作させることが可能である。

6.2 従来回路の解析結果とセル電圧のばらつく原因

4セル用の従来回路の充放電特性を図 6.2 に示す。図 6.2 から 3 直列時にセル電圧がばらついていることがわかる。この原因は図 6.3 の 3 直列時に C_1 と C_4 が直列接続されているのに対し C_2 と C_3 が並列接続されているので、 V_{C1} と V_{C4} は V_{C2} と V_{C3} に比べて 2 倍の速さで放電（充電）してしまうためセル電圧にばらつきが生じてしまう。

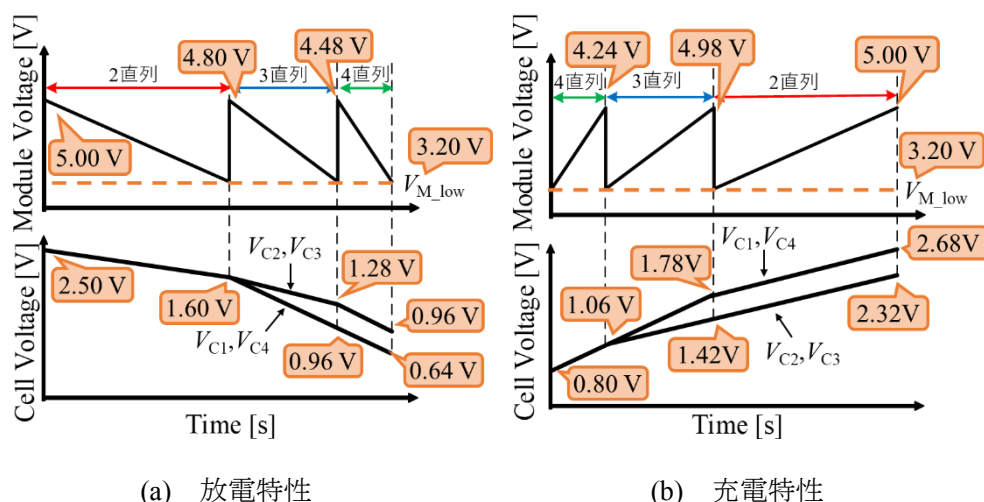


図 6.2. 従来回路の理想特性

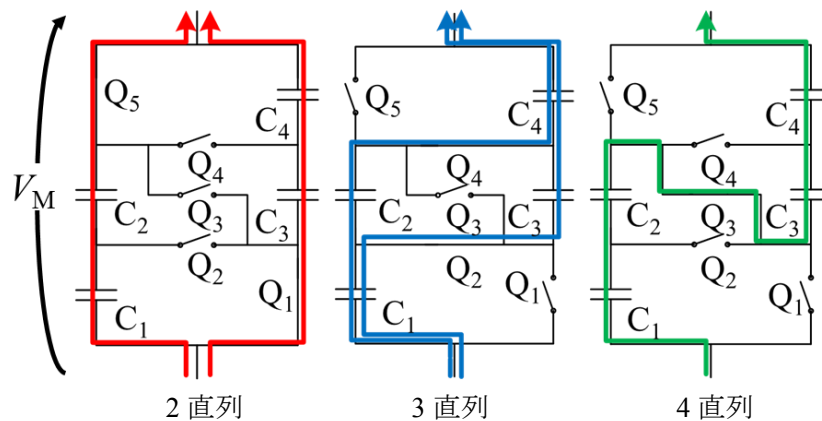


図 6.3. 放電時における 4 セル用従来回路の電流経路

参考文献

- (1) M. Okamura, "R&D of Power Storage System with Electric Double-Layer Capacitors," *TANSO* 2000, no. 194, pp. 268–275, Mar. 1999.
- (2) A. Hasebe, "Energy Device: Electric Double Layer Capacitors and their Applications," *Materia Japan*, vol. 41, no. 6, pp. 427–431, 2002.
- (3) S. Sugimoto, S. Ogawa, H. Katsukawa, H. Mizutani, and M. Okamura, "Study on Series-Parallel Changeover Circuit of Capacitor Bank for Energy Storage System Utilizing Electric Double-Layer Capacitors," *T.IEE Japan*, vol. 122, no. 5, pp. 607–615, 2002.

謝辞

本研究にあたり熱心なご指導をいただいた卒業論文指導教員である鶴野将年准教授に深く感謝いたします。約 1 年間という短い間でしたが技術面や知識面でとても成長することができました。

長谷川航輝先輩を始め、多くの助言を下された研究室の皆様にも厚くお礼を申し上げます。謝辞にかえさせていただきます。